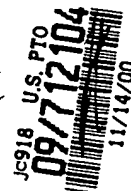




日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年11月15日

出 願 番 号

Application Number:

平成11年特許願第324576号

出 願 人

Applicant (s):

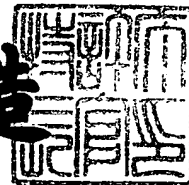
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 7月14日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3055278

【書類名】 特許願

【整理番号】 75410015

【提出日】 平成11年11月15日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 7/00
H03L 7/06
H03L 7/087

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 佐野 正樹

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL 回路及びデータ読み出し回路

【特許請求の範囲】

【請求項 1】

位相比較器で検出される位相差をチャージポンプで電圧に変換しループフィルタで平滑化して電圧制御発振器に制御電圧として入力し、前記電圧制御発振器からの出力信号もしくは前記電圧制御発振器の出力を分周器で分周した出力信号を前記位相比較器に帰還入力して入力信号との位相を比較する PLL 回路において

前記電圧制御発振器が、正転入力端子と反転入力端子とを備えており、前記正転入力端子と前記反転入力端子とにそれぞれ印加される端子電圧の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振し、

前記チャージポンプが、前記位相比較器からの位相比較結果出力に応じて、前記電圧制御発振器の前記正転入力端子の端子電圧を上げ、前記反転入力端子の端子電圧を下げることで、前記正転入力端子と前記反転入力端子の端子電圧の間の差電圧を拡げるか、あるいは、

前記電圧制御発振器の前記正転入力端子の端子電圧を下げ、前記反転入力端子の端子電圧を上げることで、前記正転入力端子と前記反転入力端子の端子電圧の間の差電圧を縮小させるように制御する手段を備えた、ことを特徴とする PLL 回路。

【請求項 2】

前記電圧制御発振器の前記正転入力端子と前記反転入力端子とに、出力端がそれぞれ接続されている第 1 のループフィルタと第 2 のループフィルタとを備え、

前記チャージポンプが、前記位相比較器からの位相比較結果出力に応じて、前記電圧制御発振器の発振周波数を上げる動作のときに、端子電圧が前記第 1 のループフィルタの出力端電圧を与える第 1 の容量を充電することで、前記電圧制御発振器の前記正転入力端子の端子電圧を上げ、端子電圧が前記第 2 のループフィルタの出力端電圧を与える第 2 の容量を放電することで、前記電圧制御発振器の前記反転入力端子の端子電圧を下げ、これにより、前記電圧制御発振器の前記正

転入力端子と前記反転入力端子の端子電圧の間の差電圧を拡げ、

前記電圧制御発振器の発振周波数を下げる動作のときに、端子電圧が前記第 1 のループフィルタの出力端電圧を与える前記第 1 の容量を放電することで、前記電圧制御発振器の前記正転入力端子の端子電圧を下げ、端子電圧が前記第 2 のループフィルタの出力端電圧を与える前記第 2 の容量を充電することで、前記電圧制御発振器の前記反転入力端子の端子電圧を上げ、これにより、前記正転入力端子と前記反転入力端子の端子電圧の間の差電圧を縮小させる手段を備えた、ことを特徴とする請求項 1 記載の PLL 回路。

【請求項 3】

正転入力端子と反転入力端子とを備え、前記正転入力端子と前記反転入力端子にそれぞれ印加される端子電圧の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振する電圧制御発振器と、

前記電圧制御発振器からの出力信号もしくは前記電圧制御発振器の出力を分周器で分周した出力信号と入力信号との位相を比較し、前記出力信号と前記入力信号との位相比較結果を出力する位相比較器と、

前記電圧制御発振器の前記正転入力端子及び前記反転入力端子に出力端がそれぞれ接続されている第 1 及び第 2 のループフィルタと、

前記位相比較器から出力される信号のうち、前記電圧制御発振器の発振周波数を上げるための信号がアクティブ状態のときに、前記第 1 のループフィルタの出力端の端子電圧を与える第 1 の容量に対して第 1 の定電流源からの定電流で充電して前記第 1 のループフィルタの出力端の端子電圧を増加させるとともに、前記第 2 のループフィルタの出力端の端子電圧を与える第 2 の容量に対して第 2 の定電流源からの定電流で放電して前記第 2 のループフィルタの出力端の端子電圧を減少させることで、前記電圧制御発振器の前記正転入力端子及び前記反転入力端子の端子間の差電圧を拡げる第 1 の回路手段と、

前記位相比較器から出力される信号のうち、前記電圧制御発振器の発振周波数を下げるための信号がアクティブ状態のときに、前記第 1 のループフィルタの出力端の端子電圧を与える前記第 1 の容量に対して第 3 の定電流源からの定電流で放電して前記第 1 のループフィルタの出力端の端子電圧を減少させるとともに、

前記第 2 のループフィルタの出力端の端子電圧を与える前記第 2 の容量に対して第 4 の定電流源からの定電流で充電して前記第 2 のループフィルタの出力端の端子電圧を増加させることで、前記電圧制御発振器の前記正転入力端子及び前記反転入力端子の端子間の差電圧を縮減させる第 2 の回路手段と、を有するチャージポンプと、

を備えたことを特徴とする PLL 回路。

【請求項 4】

前記チャージポンプが、第 1 導電型のトランジスタからの出力電流により前記第 1 の容量を充電することで、前記第 1 のループフィルタの出力端の端子電圧を増大させるとともに、前記第 1 導電型とは逆導電型をなす第 2 導電型のトランジスタからの出力電流で前記第 2 の容量を放電することで前記第 2 のループフィルタの出力端の端子電圧を減少させ、

第 1 導電型のトランジスタからの出力電流により前記第 2 の容量を充電することで前記第 2 のループフィルタの出力端の端子電圧を増大させるとともに、第 2 導電型のトランジスタからの出力電流で前記第 1 の容量を放電することで前記第 1 のループフィルタの出力端の端子電圧を減少させる、ことを特徴とする請求項 2 又は 3 記載の PLL 回路。

【請求項 5】

正転入力端子と反転入力端子とを備え、前記正転入力端子と前記反転入力端子にそれぞれ印加される端子電圧の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振する電圧制御発振器と、

前記電圧制御発振器からの出力信号もしくは前記電圧制御発振器の出力を分周器で分周した出力信号と入力信号との位相を比較し、位相比較結果を出力する位相比較器と、

前記電圧制御発振器の前記正転入力端子及び前記反転入力端子に出力端がそれぞれ接続されている第 1 及び第 2 のループフィルタと、

前記位相比較器での位相比較の結果出力される第 1 の制御信号を受けて、前記電圧制御発振器の正転入力端子に端子電圧を供給する前記第 1 のループフィルタの容量に対して、第 1 導電型の第 1 のトランジスタから、第 1 の充電電流 (P 1

）を供給するとともに、前記電圧制御発振器の反転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して、第 2 導電型の第 1 のトランジスタから第 1 の放電電流（ N_1 ）を供給する第 1 の回路手段と、

前記位相比較器での位相比較の結果出力される第 2 の制御信号を受けて、前記電圧制御発振器の反転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して、第 1 導電型の第 2 のトランジスタから第 2 の充電電流（ P_2 ）を供給するとともに、前記電圧制御発振器の正転入力端子に端子電圧を供給する前記第 1 のループフィルタの容量に対して、第 2 導電型の第 2 のトランジスタから第 2 の放電電流（ N_2 ）を供給する第 2 の回路手段と、

を備え、前記第 1 の充電電流（ P_1 ）と前記第 1 の放電電流（ N_1 ）の和電流（ $P_1 + N_1$ ）と、前記第 2 の充電電流（ P_2 ）と前記第 2 の放電電流（ N_2 ）の和電流（ $P_2 + N_2$ ）との比が、前記第 1 導電型のトランジスタと前記第 2 導電型トランジスタとの間の出力特性の相違に依存せずに、1 対 1 に設定可能とされている、ことを特徴とする PLL 回路。

【請求項 6】

前記電圧制御発振器が、前記正転入力端子の端子電圧と前記反転入力端子の端子電圧を差動入力し、前記差動入力電圧に対応する電流を出力する電圧電流変換回路と、

前記電圧電流変換回路の出力電流を制御電流として入力し前記制御電流に応じた周波数で発振する電流制御発振器と、

を備えたことを特徴とする請求項 1 乃至 5 のいずれか一に記載の PLL 回路。

【請求項 7】

正転入力端子と反転入力端子を備え、前記正転入力端子と前記反転入力端子間の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振する電圧制御発振器と、

前記電圧制御発振器からの出力信号又は前記電圧制御発振器の出力を分周器で分周した出力信号と入力信号との位相を比較し、前記電圧制御発振器の周波数を上げるアップ信号及び前記電圧制御発振器の周波数を下げるダウン信号を出力する位相比較器と、

前記位相比較器からのアップ信号及びダウン信号に基づき容量の充放電を行い、前記位相比較器での位相比較結果に応じた電圧を出力するチャージポンプと、を備え、

前記チャージポンプが、制御端子が前記位相比較器から出力されるアップ信号に接続されている第 1 のスイッチと、

前記第 1 のスイッチの一端と高電位電源との間に接続されている第 1 の定電流源と、

一端が前記第 1 のスイッチの他端と前記電圧制御発振器の前記正転入力端子とに接続され、他端が低電位電源に接続されている第 1 の容量と、

制御端子が前記位相比較器から出力される前記アップ信号に接続されている第 2 のスイッチと、

前記第 2 のスイッチの一端と低電位電源との間に接続されている第 2 の定電流源と、

一端が前記第 2 のスイッチの他端と前記電圧制御発振器の反転入力端子とに接続され、他端が前記低電位電源に接続されている第 2 の容量と、

制御端子が前記位相比較器から出力される前記ダウン信号に接続されている第 3 のスイッチと、

前記高電位電源と前記第 3 のスイッチの一端との間に接続されている第 3 の定電流源と、

制御端子が前記位相比較器から出力される前記ダウン信号に接続されている第 4 のスイッチと、

前記低電位電源と前記第 4 のスイッチの一端との間に接続されている第 4 の定電流源と、

を備え、

前記第 3 のスイッチの他端は、前記第 2 の容量の一端に接続されており、

前記第 4 のスイッチの他端は、前記第 1 の容量の一端に接続されており、

前記位相比較器から出力される前記アップ信号がアクティブ状態のとき、前記アップ信号を制御端子に入力とする前記第 1 のスイッチがオンし、前記第 1 の定電流源からの定電流により、前記第 1 の容量が充電されて前記第 1 の容量の端子

電圧が増大するとともに、前記アップ信号を制御端子に入力とする前記第 2 のスイッチがオンし、前記第 2 の定電流源からの定電流で前記第 2 の容量が放電されて前記第 2 の容量の端子電圧が減少し、前記電圧制御発振器の正転入力端子と反転入力端子の端子電圧の差電圧が増大することで、前記電圧制御発振器の発振周波数が上昇し、

前記位相比較器から出力される前記ダウン信号がアクティブ状態のとき、前記ダウン信号を制御端子に入力とする前記第 3 のスイッチがオンし、前記第 3 の定電流源からの定電流により前記第 2 の容量が充電されて前記第 2 の容量の端子電圧が増大するとともに、前記ダウン信号を制御端子に入力とする前記第 4 のスイッチがオンし、前記第 4 の定電流源からの定電流により前記第 1 の容量が放電されて前記第 1 の容量の端子電圧が減少し、前記電圧制御発振器の正転入力端子と反転入力端子の端子電圧の差電圧が減少することで前記電圧制御発振器の発振周波数が減少する、

ことを特徴とする PLL 回路。

【請求項 8】

位相比較器から出力されるアップ信号とダウン信号とに基づき位相比較結果に対応して容量の充放電を行うチャージポンプと、前記チャージポンプの出力電圧を平滑化するループフィルタと、前記ループフィルタの出力電圧を制御電圧として入力とする電圧制御発振器と、を備え、前記電圧制御発振器の出力信号が前記位相比較器に帰還入力される PLL 回路において、

前記電圧制御発振器の正転入力端子と反転入力端子には第 1 ループフィルタの出力端と第 2 のループフィルタの出力端とがそれぞれ接続され、

前記電圧制御発振器は、前記正転入力端子と前記反転入力端子の端子電圧の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振し、

前記チャージポンプが、第 1 乃至第 4 の定電流源と、第 1 乃至第 4 のカレントミラー回路と、を備え、

前記位相比較器から出力されるアップ信号がアクティブ状態のときに、前記第 1 の定電流源からの定電流を、前記第 1 のカレントミラー回路で折り返し、前記電圧制御発振器の正転入力端子に端子電圧を供給する前記第 1 のループフィルタ

の容量に対して、前記第 1 のカレントミラー回路の出力端をなす第 1 導電型のトランジスタから、第 1 の充電電流を供給するとともに、前記第 2 の定電流源からの定電流を、前記第 2 のカレントミラー回路で折り返し、前記電圧制御発振器の反転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して、前記第 2 のカレントミラー回路の出力端をなす第 2 導電型のトランジスタから第 1 の放電電流を供給し、

前記位相比較器から出力されるダウン信号がアクティブ状態のときに、前記第 3 の定電流源からの定電流を、前記第 3 のカレントミラー回路で折り返し、前記電圧制御発振器の反転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して前記第 3 のカレントミラー回路の出力端をなす第 1 導電型のトランジスタから第 2 の充電電流を供給するとともに、前記第 4 の定電流源からの定電流を、前記第 4 のカレントミラー回路で折り返し、前記電圧制御発振器の正転入力端子に端子電圧を供給する前記第 1 のループフィルタの容量に対して前記第 4 のカレントミラー回路の出力端をなす第 2 導電型のトランジスタから第 2 の放電電流を供給し、

前記第 1 の充電電流と前記第 1 の放電電流の和電流と、前記第 2 の充電電流と前記第 2 の放電電流の和電流との比が、前記第 1 導電型のトランジスタと前記第 2 導電型トランジスタ間の出力特性の相違に依存せずに、1 対 1 に設定可能とされている、ことを特徴とする PLL 回路。

【請求項 9】

位相比較器からのアップ信号及びダウン信号に基づき位相比較結果に対応して容量の充放電を行うチャージポンプと、前記チャージポンプの出力電圧を平滑化するループフィルタと、前記ループフィルタの出力電圧を制御電圧として入力とする電圧制御発振器を備え、前記電圧制御発振器の出力信号を直接にまたは所定の分周比で分周した信号を前記位相比較器に帰還入力する PLL 回路において、

前記電圧制御発振器の正転入力端子と反転入力端子に出力端がそれぞれ接続されている第 1 ループフィルタと第 2 のループフィルタとを備え、

前記電圧制御発振器は前記正転入力端子と前記反転入力端子の端子電圧の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振し、

前記チャージポンプが、

第 1 導電型の第 1 及び第 2 のトランジスタよりなる第 1 のカレントミラー回路と、

前記位相比較器から出力されるアップ信号がアクティブ状態のときに、前記第 1 のカレントミラー回路を活性化させる第 1 のスイッチと、

前記第 1 のカレントミラー回路の入力端と低電位電源との間に接続されている第 1 の定電流源と、

前記第 1 の導電型とは逆導電型をなす第 2 導電型の第 1 及び第 2 のトランジスタよりなる第 2 のカレントミラー回路と、

前記位相比較器から出力されるアップ信号がアクティブ状態のときに、前記第 2 のカレントミラー回路を活性化させる第 2 のスイッチと、

前記第 2 のカレントミラー回路の入力端と高電位電源との間に接続されている第 2 の定電流源と、

第 1 導電型の第 3 及び第 4 のトランジスタよりなる第 3 のカレントミラー回路と、

前記位相比較器から出力されるダウン信号がアクティブ状態のときに、前記第 3 のカレントミラー回路を活性化させる第 3 のスイッチと、

前記第 3 のカレントミラー回路の入力端と前記低電位電源との間に接続されている第 3 の定電流源と、

第 2 導電型の第 3 及び第 4 のトランジスタよりなる第 4 のカレントミラー回路と、

前記位相比較器から出力されるダウン信号がアクティブ状態のときに、前記第 4 のカレントミラー回路を活性化させる第 4 のスイッチと、

前記第 4 のカレントミラー回路の入力端と前記高電位電源との間に接続されている第 4 の定電流源と、

を備え、

前記第 1 のカレントミラー回路の出力端と前記第 4 のカレントミラー回路の出力端が、端子電圧が前記第 1 のループフィルタの出力端電圧を与える第 1 の容量の一端に共通接続され、

前記第 2 のカレントミラー回路の出力端と前記第 3 のカレントミラー回路の出力端が、端子電圧が前記第 2 のループフィルタの出力電圧を与える第 2 の容量の一端に共通接続されている、ことを特徴とする PLL 回路。

【請求項 1 0】

前記第 1 及び第 3 のカレントミラー回路を構成する第 1 導電型のトランジスタが P チャネル MOS トランジスタよりなり、前記第 2 及び第 4 のカレントミラー回路を構成する第 2 導電型のトランジスタが N チャネル MOS トランジスタよりなり、ことを特徴とする請求項 8 又は 9 記載の PLL 回路。

【請求項 1 1】

前記第 1 のスイッチが、ソースが前記高電位電源に接続され、ドレインが前記第 1 のカレントミラー回路を構成する P チャネル MOS トランジスタの共通ゲートに接続され、ゲートが前記位相比較器からのアップ信号に接続されている P チャネル MOS トランジスタよりなり、

前記第 2 のスイッチが、ソースが前記低電位電源に接続され、ドレインが前記第 2 のカレントミラー回路を構成する N チャネル MOS トランジスタの共通ゲートに接続され、ゲートが前記位相比較器からのアップ信号を反転した信号に接続されている N チャネル MOS トランジスタよりなり、

前記第 3 のスイッチが、ソースが前記高電位電源に接続され、ドレインが前記第 3 のカレントミラー回路を構成する P チャネル MOS トランジスタの共通ゲートに接続され、ゲートが前記位相比較器からのダウン信号に接続されている P チャネル MOS トランジスタよりなり、

前記第 4 のスイッチが、ソースが低電位電源に接続され、ドレインが前記第 2 のカレントミラー回路を構成する N チャネル MOS トランジスタの共通ゲートに接続され、ゲートが前記位相比較器からのダウン信号を反転した信号に接続されている N チャネル MOS トランジスタよりなる、ことを特徴とする請求項 9 記載の PLL 回路。

【請求項 1 2】

制御端子が第 1 の制御信号に接続されている第 1 のスイッチと、

高電位電源と前記第 1 のスイッチの一端との間に接続されている第 1 の定電流

源と、

一端が前記第 1 のスイッチの他端に接続され、他端が低電位電源に接続されている第 1 の容量と、

制御端子が前記第 1 の制御信号に接続されている第 2 のスイッチと、

低電位電源と前記第 2 のスイッチの一端との間に接続されている第 2 の定電流源と、

一端が前記第 2 のスイッチの他端に接続され、他端が前記低電位電源に接続されている第 2 の容量と、

制御端子が第 2 の制御信号に接続されている第 3 のスイッチと、

前記高電位電源と前記第 3 のスイッチの一端との間に接続されている第 3 の定電流源と、

制御端子が前記第 2 の制御信号に接続されている第 4 のスイッチと、

低電位電源と前記第 4 のスイッチの一端との間に接続されている第 4 の定電流源と、

を備え、

前記第 3 のスイッチの他端は、前記第 2 の容量の一端に接続されており、

前記第 4 のスイッチの他端は、前記第 1 の容量の一端に接続されており、

前記第 1 の制御信号がアクティブ状態のとき、前記第 1 のスイッチがオンし、前記第 1 の定電流源からの定電流が前記第 1 の容量に供給されて充電されるとともに、前記第 2 のスイッチもオンして前記第 2 の定電流源からの定電流で前記第 2 の容量が放電され、前記第 1 の容量の端子電圧と前記第 2 の容量の端子電圧との差電圧が拡大し、

前記第 2 の制御信号がアクティブ状態のとき、前記第 3 のスイッチがオンし、前記第 3 の定電流源からの定電流が前記第 2 の容量に供給されて充電されるとともに、前記第 4 のスイッチもオンして前記第 4 の定電流源からの定電流で前記第 1 の容量が放電され、前記第 1 の容量の端子電圧と前記第 2 の容量の端子電圧との差電圧が縮減し、

前記第 1 の容量の端子電圧を正転出力とし、前記第 2 の容量の端子電圧を反転出力として出力する、ことを特徴とするチャージポンプ回路。

【請求項 1 3】

第 1 導電型の第 1 及び第 2 のトランジスタよりなる第 1 のカレントミラー回路と、

制御端子に第 1 の制御信号を入力し前記第 1 の制御信号がアクティブ状態のときに前記第 1 のカレントミラー回路を活性化させる第 1 のスイッチと、

前記第 1 のカレントミラー回路の入力端と低電位電源との間に接続されている第 1 の定電流源と、

前記第 1 の導電型とは逆導電型をなす第 2 導電型の第 1 及び第 2 のトランジスタよりなる第 2 のカレントミラー回路と、

制御端子に前記第 1 の制御信号を入力し前記第 1 の制御信号がアクティブ状態のときに前記第 2 のカレントミラー回路を活性化させる第 2 のスイッチと、

前記第 2 のカレントミラー回路の入力端と前記高電位電源との間に接続されている第 2 の定電流源と、

第 1 導電型の第 3 及び第 4 のトランジスタよりなる第 3 のカレントミラー回路と、

制御端子に第 2 の制御信号を入力し前記第 2 の制御信号がアクティブ状態のときに前記第 3 のカレントミラー回路を活性化させる第 3 のスイッチと、

前記第 3 のカレントミラー回路の入力端と前記低電位電源との間に接続されている第 3 の定電流源と、

第 2 導電型の第 3 及び第 4 のトランジスタよりなる第 4 のカレントミラー回路と、

制御端子に前記第 2 の制御信号を入力し前記第 2 の制御信号がアクティブ状態のときに前記第 4 のカレントミラー回路を活性化させる第 4 のスイッチと、

前記第 4 のカレントミラー回路の入力端と前記高電位電源との間に接続されている第 4 の定電流源と、

を備え、

前記第 1 のカレントミラー回路の出力端と前記第 4 のカレントミラー回路の出力端が、一端が低電位電源に接続されている第 1 の容量の他端に共通接続され、

前記第 2 のカレントミラー回路の出力端と前記第 3 のカレントミラー回路の出

力端が、一端が前記低電位電源に接続されている第 2 の容量の他端に共通接続され、

前記第 1 の容量の端子電圧を正転出力とし、前記第 2 の容量の端子電圧を反転出力として出力する、ことを特徴とするチャージポンプ回路。

【請求項 1 4】

入力電圧を電流に変換する電圧電流変換回路と、前記電圧電流変換回路の出力電流を制御電流として入力し前記制御電流に応じた周波数で発振する電流制御発振器と、を備えた電圧制御発振器において、

前記電圧電流変換回路が正転入力端子と反転入力端子とを備え、前記正転入力端子と前記反転入力端子にそれぞれ入力され、電圧値が可変される第 1、第 2 の入力電圧の差電圧に対応する電流を出力する、ことを特徴とする電圧電流変換回路。

【請求項 1 5】

入力される制御電流に応じた周波数のクロック信号を生成出力する電流制御発振器と、

前記電流制御発振器からのクロック信号を分周する分周器と、

入力信号と前記分周器から出力されるクロック信号とを入力とし、前記クロック信号の前記入力信号に対する位相の遅れ、進み具合に応じて、アップ信号及びダウン信号を出力する位相比較器と、

前記位相比較器から出力されるアップ信号及びダウン信号に基づき容量を充電放電して出力電圧を出力する第 1 のチャージポンプと、

前記入力信号と前記分周器から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器から出力されるクロック信号を用いて計測することにより周波数誤差を検出する周波数比較器と、

前記周波数誤差に応じた誤差電圧を出力する第 2 のチャージポンプと、

前記第 1 のチャージポンプの出力電圧を入力とする第 1 の低域通過フィルタと

前記第 2 のチャージポンプの出力電圧を入力とする第 2 の低域通過フィルタと

前記第 1 の低域通過フィルタの出力電圧を電流に変換する第 1 の電圧電流変換回路と、

前記第 2 の低域通過フィルタの出力電圧を電流に変換する第 2 の電圧電流変換回路と、

を備え、前記第 1 の電圧電流変換回路から出力される電流と前記第 2 の電圧電流変換回路から出力される電流とを加えた和電流が、前記制御電流として、前記電流制御発振器に入力される PLL 回路において、

前記第 1 の電圧電流変換回路が正転入力端子と反転入力端子を備え、前記正転入力端子と前記反転入力端子の端子電圧の差電圧に応じた電流を出力し、

前記第 1 の低域通過フィルタが、前記第 1 の電圧電流変換回路の正転入力端子と反転入力端子とに出力端がそれぞれ接続されている第 1 のループフィルタと第 2 のループフィルタとから構成されており、

前記第 1 のチャージポンプが、前記位相比較器からアップ信号が出力されているときに、端子電圧が前記第 1 のループフィルタの出力端電圧を与える第 1 の容量を充電することで、前記電圧制御発振器の前記正転入力端子の端子電圧を上げ、端子電圧が前記第 2 のループフィルタの出力端電圧を与える第 2 の容量を放電することで、前記電圧制御発振器の前記反転入力端子の端子電圧を下げ、これにより、前記電圧制御発振器の前記正転入力端子と前記反転入力端子の端子電圧の間の差電圧を拡げ、

前記位相比較器からダウン信号が出力されているときに、端子電圧が前記第 1 のループフィルタの出力端電圧を与える前記第 1 の容量を放電することで、前記電圧制御発振器の前記正転入力端子の端子電圧を下げ、端子電圧が前記第 2 のループフィルタの出力端電圧を与える前記第 2 の容量を充電することで、前記電圧制御発振器の前記反転入力端子の端子電圧を上げ、これにより、前記正転入力端子と前記反転入力端子の端子電圧の間の差電圧を縮小させる手段を備えた、ことを特徴とする PLL 回路。

【請求項 1 6】

入力される制御電流に応じた周波数のクロック信号を生成出力する電流制御発振器と、

前記電流制御発振器からのクロック信号を分周する分周器と、

入力信号と前記分周器から出力されるクロック信号とを入力とし、前記クロック信号の前記入力信号に対する位相の遅れ、進み具合に応じて、アップ信号及びダウン信号を出力する位相比較器と、

前記位相比較器から出力されるアップ信号及びダウン信号に基づき容量を充電放電して出力電圧を出力する第 1 のチャージポンプと、

前記入力信号と前記分周器から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器から出力されるクロック信号を用いて計測することにより周波数誤差を検出する周波数比較器と、

前記周波数誤差に応じた誤差電圧を出力する第 2 のチャージポンプと、

前記第 1 のチャージポンプの出力電圧を入力とする第 1 の低域通過フィルタと

前記第 2 のチャージポンプの出力電圧を入力とする第 2 の低域通過フィルタと

前記第 1 の低域通過フィルタの出力電圧を電流に変換する第 1 の電圧電流変換回路と、

前記第 2 の低域通過フィルタの出力電圧を電流に変換する第 2 の電圧電流変換回路と、

を備え、前記第 1 の電圧電流変換回路から出力される電流と前記第 2 の電圧電流変換回路から出力される電流とを加えた和電流が、前記制御電流として、前記電流制御発振器に入力される PLL 回路において、

前記第 1 の電圧電流変換回路が正転入力端子と反転入力端子を備え、前記正転入力端子と前記反転入力端子の端子電圧の差電圧に応じた電流を出力し、

前記第 1 の低域通過フィルタが、前記第 1 の電圧電流変換回路の正転入力端子と反転入力端子とに出力端がそれぞれ接続されている第 1 のループフィルタと第 2 のループフィルタとから構成されており、

前記第 1 のチャージポンプが、第 1 乃至第 4 の定電流源と、第 1 乃至第 4 のカレントミラー回路と、を備え、

前記位相比較器から出力されるアップ信号がアクティブ状態のときに、前記第

1 の定電流源からの定電流を、前記第 1 のカレントミラー回路で折り返し、前記第 1 の電圧電流変換回路の正転入力端子に端子電圧を供給する前記第 1 のループフィルタの容量に対して、前記第 1 のカレントミラー回路の出力端をなす第 1 導電型のトランジスタから、第 1 の充電電流を供給するとともに、前記第 2 の定電流源からの定電流を、前記第 2 のカレントミラー回路で折り返し、前記第 1 の電圧電流変換回路の反転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して、前記第 2 のカレントミラー回路の出力端をなす第 2 導電型のトランジスタから第 1 の放電電流を供給し、

前記位相比較器から出力されるダウン信号がアクティブ状態のときに、前記第 3 の定電流源からの定電流を、前記第 3 のカレントミラー回路で折り返し、前記第 1 の電圧電流変換回路の反転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して前記第 3 のカレントミラー回路の出力端をなす第 1 導電型のトランジスタから第 2 の充電電流を供給するとともに、前記第 4 の定電流源からの定電流を、前記第 4 のカレントミラー回路で折り返し、前記第 1 の電圧電流変換回路の正転入力端子に端子電圧を供給する前記第 1 のループフィルタの容量に対して前記第 4 のカレントミラー回路の出力端をなす第 2 導電型のトランジスタから第 2 の放電電流を供給し、

前記第 1 の充電電流と前記第 1 の放電電流の和電流と、前記第 2 の充電電流と前記第 2 の放電電流の和電流との比が、前記第 1 導電型のトランジスタと前記第 2 導電型トランジスタとの間の出力特性の相違に依存せずに、1 対 1 に設定可能とされている、ことを特徴とする PLL 回路。

【請求項 1 7】

入力される制御電流に応じた周波数のクロック信号を生成出力する電流制御発振器と、

前記電流制御発振器からのクロック信号を分周する分周器と、

入力信号と前記分周器から出力されるクロック信号とを入力とし、前記クロック信号の前記入力信号に対する位相の遅れ、進み具合に応じてアップ信号及びダウ信号を出力する位相比較器と、

前記位相比較器から出力されるアップ信号及びダウ信号に基づき容量を充電

放電して出力電圧を出力する第 1 のチャージポンプと、

前記入力信号と前記分周器から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを前記分周器から出力されるクロック信号を用いて計測することにより周波数誤差を検出する周波数比較器と、

前記周波数誤差に応じた誤差電圧を出力する第 2 のチャージポンプと、

前記第 1 のチャージポンプの出力電圧を入力とする第 1 の低域通過フィルタと

前記第 2 のチャージポンプの出力電圧を入力とする第 2 の低域通過フィルタと

前記第 1 の低域通過フィルタの出力電圧を電流に変換する第 1 の電圧電流変換回路と、

前記第 2 の低域通過フィルタの出力電圧を電流に変換する第 2 の電圧電流変換回路と、

を備え、前記第 1 の電圧電流変換回路から出力される電流と前記第 2 の電圧電流変換回路から出力される電流とを加えた和電流が、前記制御電流として、前記電流制御発振器に入力される PLL 回路において、

前記第 1 の電圧電流変換回路が正転入力端子と反転入力端子を備え、前記正転入力端子と前記反転入力端子の端子電圧の差電圧に応じた電流を出力し、

前記第 1 の低域通過フィルタが、前記第 1 の電圧電流変換回路の正転入力端子と反転入力端子とに出力端がそれぞれ接続されている第 1 と第 2 のループフィルタとから構成されており、

前記第 1 のチャージポンプが、第 1 導電型の第 1 及び第 2 のトランジスタよりなる第 1 のカレントミラー回路と、

前記位相比較器から出力されるアップ信号がアクティブ状態のときに、前記第 1 のカレントミラー回路を活性化させる第 1 のスイッチと、

前記第 1 のカレントミラー回路の入力端と低電位電源との間に接続されている第 1 の定電流源と、

前記第 1 の導電型とは逆導電型をなす第 2 導電型の第 1 及び第 2 のトランジスタよりなる第 2 のカレントミラー回路と、

前記位相比較器から出力されるアップ信号がアクティブ状態のときに、前記第 2 のカレントミラー回路を活性化させる第 2 のスイッチと、

前記第 2 のカレントミラー回路の入力端と高電位電源との間に接続されている第 2 の定電流源と、

第 1 導電型の第 3 及び第 4 のトランジスタよりなる第 3 のカレントミラー回路と、

前記位相比較器から出力されるダウン信号がアクティブ状態のときに、前記第 3 のカレントミラー回路を活性化させる第 3 のスイッチと、

前記第 3 のカレントミラー回路の入力端と前記低電位電源との間に接続されている第 3 の定電流源と、

第 2 導電型の第 3 及び第 4 のトランジスタよりなる第 4 のカレントミラー回路と、

前記位相比較器から出力されるダウン信号がアクティブ状態のときに、前記第 4 のカレントミラー回路を活性化させる第 4 のスイッチと、

前記第 4 のカレントミラー回路の入力端と前記高電位電源との間に接続されている第 4 の定電流源と、

を備え、

前記第 1 のカレントミラー回路の出力端と前記第 4 のカレントミラー回路の出力端が、端子電圧が前記第 1 のループフィルタの出力端電圧を与える第 1 の容量の一端に共通接続され、

前記第 2 のカレントミラー回路の出力端と前記第 3 のカレントミラー回路の出力端が、端子電圧が前記第 2 のループフィルタの出力電圧を与える第 2 の容量の一端に共通接続されている、ことを特徴とする PLL 回路。

【請求項 1 8】

記録ディスクからデータを読み取るためのヘッドを介して読み取られたデータから再生 RF 信号、フォーカス誤差信号及びトラッキング誤差信号を生成するアンプと、前記アンプからの再生 RF 信号の雑音除去及び波形等化を行うフィルタと、前記フィルタからの再生 RF 信号を 2 値化する 2 値化回路と、前記 2 値化回路で 2 値化されたデータを入力し該データに同期したデータ読み出し用クロック

を生成出力する P L L 回路と、前記 P L L 回路からのデータ読み出し用クロックに基づきデータの復調を行う復調回路と、再生データのエラー訂正を行うエラー訂正回路と、前記記録ディスクを回転駆動する電動機、前記ヘッド及び電動機を制御するサーボ制御装置と、全体を制御する C P U と、を備えたデータ読み取り装置において、

前記 P L L 回路を、請求項 1 5 乃至 1 7 のいずれか一の P L L 回路で構成したことを特徴とするデータ読み取り装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、P L L 回路 (Phase Locked Loop; 位相同期ループ回路) に関し、特に、位相比較器の比較結果を精度よく電圧に変換するチャージポンプを備えた P L L 回路及び該 P L L 回路を備えたデータ読み出し回路に関する。

【 0 0 0 2 】

【従来の技術】

P L L 回路は、周波数・位相変調信号の復調、周波数変換、搬送波再生やクロック同期及びタイミング抽出等の信号同期等、各種用途に用いられている。以下、従来の P L L 回路の一例について説明する。図 1 0 は、従来の P L L 回路の構成の一例を示す図である。図 1 0 を参照すると、この P L L 回路は、入力される制御電圧に応じた周波数で発振する電圧制御発振器 (Voltage Controlled Oscillator ; V C O) 4 0' と、電圧制御発振器 4 0' の出力信号を分周する分周回路 (「分周器」ともいう) 5 0 と、入力信号 I N と分周回路 5 0 からの出力信号 O U T を入力して位相を比較し、位相比較結果に対応したパルス幅を有する U P (アップ) 信号と、D O W N (ダウン) 信号を出力する位相比較器 1 0 と、位相比較器 1 0 から出力される U P 信号、D O W N 信号に応じて容量を充電、放電することで、入力信号 I N と出力信号 O U T の位相差に応じた電圧を生成するチャージポンプ (C P) 2 0' と、チャージポンプ 2 0' の出力電圧から高周波成分を阻止する低域通過特性を有するフィルタ (L P F) よりなるループフィルタ 3 0' と、を備え、電圧制御発振器 4 0' はループフィルタ 3 0' の出力電圧を

制御電圧として入力する。

【 0 0 0 3 】

図 1 1 は、チャージポンプ 2 0 ' と電圧制御発振器 4 0 ' の構成を説明するための図である。図 1 1 を参照すると、位相比較器 1 0 から出力される UP 信号がアクティブ状態のとき、チャージポンプ 2 0 ' において、UP 信号を制御端子に入力とする第 1 のスイッチ 2 0 2 がオンし、高電位電源 (VDD) と第 1 のスイッチ 2 0 2 の一端との間に接続され、吐出電流 (ソース電流) を出力する第 1 の定電流源 2 0 1 からの定電流が、一端が第 1 のスイッチ 2 0 2 の他端に接続され他端が低電位電源 (GND) に接続されている容量 2 0 5 に充電され、容量 2 0 5 の端子電圧が上がる。容量 2 0 5 の端子電圧は、不図示のループフィルタを介して、電圧制御発振器 4 0 ' の正転入力端子 (+) に制御電圧として入力され、容量 2 0 5 の端子電圧の上昇を受けて、電圧制御発振器 4 0 ' の発振周波数が上昇し、図 9 に示した位相比較器 1 0 に入力される分周回路 5 0 の出力信号 OUT の位相が進み、入力信号 IN の位相に接近するように制御される。

【 0 0 0 4 】

一方、位相比較器 1 0 から出力される DOWN 信号がアクティブ状態のとき、チャージポンプ 2 0 ' において、DOWN 信号を制御端子に入力し一端が容量 2 0 5 の一端と接続されている第 2 のスイッチ 2 0 3 がオンし、低電位電源 (GND) と第 2 のスイッチ 2 0 3 の他端との間に接続され、吸込み電流 (シンク電流) を出力する第 2 の定電流源 2 0 4 からの定電流により、容量 2 0 5 が放電され、容量 2 0 5 の端子電圧が低下する。容量 2 0 5 の端子電圧の低下を受けて、電圧制御発振器 4 0 ' の発振周波数が下がり、位相比較器 1 0 に入力される分周回路 5 0 の出力信号 OUT の位相が遅れ、入力信号 IN の位相に接近するように制御される。

【 0 0 0 5 】

このように、図 1 0 に示す PLL 回路においては、位相比較器 1 0 から出力される UP 信号、DOWN 信号に応じて容量 2 0 5 (図 1 1 参照) の端子電圧が変化し、これにより、分周回路 5 0 からの出力信号 OUT と入力信号 IN との位相同期制御が行われる。

【 0 0 0 6 】

再び図 1 1 を参照すると、電圧制御発振器 (VCO) 4 0' は、正転入力端子 (+) が電圧制御発振器 4 0' の正転入力端子 (+) に接続されており、容量 2 0 5 の端子電圧、すなわちループフィルタ 3 0' の出力端電圧を入力し、反転入力端子 (-) には、予め設定された固定電位である基準電圧 (V r e f) が供給されており、正転入力端子 (+) に入力される電圧と基準電圧 (V r e f) との差電圧に対応した電流を出力する電圧電流変換器 4 1 と、電圧電流変換器 4 1 の出力電流を制御電流として入力し、該制御電流に応じた周波数で発振する電流制御発振器 4 2 と、を備えて構成される。

【 0 0 0 7 】

図 1 2 は、PLL 回路におけるチャージポンプ 2 0' の回路構成の一例を示す図である。図 1 2 を参照すると、チャージポンプ 2 0' は、ソースが高電位電源 (VDD) に接続された P チャネル MOS トランジスタ PM 1、PM 2、PM 3 を備え、P チャネル MOS トランジスタ PM 2 のゲートとドレインが接続されて P チャネル MOS トランジスタ PM 3 のゲートと共通接続され、P チャネル MOS トランジスタ PM 1 のゲートには位相比較器 1 0 から出力される UP 信号が入力され、P チャネル MOS トランジスタ PM 1 のドレインは、P チャネル MOS トランジスタ PM 2、PM 3 の共通接続されたゲートに接続されている。

【 0 0 0 8 】

また、ソースが低電位電源 (GND) に接続された N チャネル MOS トランジスタ NM 1、NM 2、NM 3 を備え、N チャネル MOS トランジスタ NM 2 のゲートとドレインが接続されて N チャネル MOS トランジスタ NM 3 のゲートと共通接続され、N チャネル MOS トランジスタ NM 1 のゲートには位相比較器 1 0 から出力される DOWN 信号が入力され、N チャネル MOS トランジスタ NM 1 のドレインは、N チャネル MOS トランジスタ NM 2、NM 3 の共通接続されたゲートに接続されている。

【 0 0 0 9 】

P チャネル MOS トランジスタ PM 2 のドレインは、第 1 の定電流源 2 1 の出力端に接続され、N チャネル MOS トランジスタ NM 2 のドレインは第 2 の定電

流源の出力端に接続されており、PチャネルMOSトランジスタPM2のドレインとNチャネルMOSトランジスタNM2のドレインとが接続されてループフィルタ30'の入力端及び電圧制御発振器40'の正転入力端子(+)に接続されている。

【0010】

PチャネルMOSトランジスタPM2、PM3と、NチャネルMOSトランジスタNM2、NM3とは、それぞれ、第1のカレントミラー回路23と第2のカレントミラー回路24とを構成しており、第1のカレントミラー回路23は、PチャネルMOSトランジスタPM1がオンのとき(UP信号がHighレベルのとき)、入力端をなすPチャネルMOSトランジスタPM2のドレインに供給される第1の定電流源21の電流値を折り返して、出力端をなすPチャネルMOSトランジスタPM3のドレインから出力し、第2のカレントミラー回路24は、NチャネルMOSトランジスタNM1がオンのとき(DOWN信号がLowレベルのとき)、入力端をなすNチャネルMOSトランジスタNM2のドレインに供給される第2の定電流源22の電流値を折り返して、出力端をなすNチャネルMOSトランジスタNM3のドレインから出力する。

【0011】

図12に示す回路構成においては、ループフィルタ30'は、チャージポンプ20'から充放電され、端子電圧が、ループフィルタ30'の出力端電圧をなす容量(コンデンサ) C_0 を含んでいる。なお、チャージポンプ20'からの出力電流により充放電される容量の一端と、電圧制御発振器40'の正転入力端子(+)との間に、所望の特性あるいは構成の低域通過フィルタを設けてもよいことは勿論である。

【0012】

位相比較器10から供給されるUP信号に応答して、チャージポンプ20'の第1の定電流源21からの電流を第1のカレントミラー回路23で折り返し、出力端が電圧制御発振器40'の正転入力端子(+)に接続されているループフィルタ30'の容量に対して、PチャネルMOSトランジスタPM3側から電流Pを供給し、位相比較器10から供給されるDOWN信号に応答して、第2の定電

流源 2 2 からの定電流を、第 2 カレントミラー回路 2 4 で折り返し、出力端が電圧制御発振器 4 0' の正転入力端子 (+) に接続されているループフィルタ 3 0' の容量に対して、NチャネルMOSトランジスタNM 3 からの電流Nで放電する構成とされており、電圧制御発振器 4 0' は、正転入力端子 (+) に印可される端子電圧の上昇、及び下降に応じて、その発振周波数が上昇、及び下降する。

【 0 0 1 3 】

入力された制御電圧に応じて発振周波数が上昇又は下降した電圧制御発振器 4 0' からの出力信号を分周回路 5 0 で分周した出力信号OUTと入力信号INの位相差を再び位相比較器 1 0 で比較することで、位相比較器 1 0 は、位相比較結果に応じて、UP信号、DOWN信号を生成出力する。

【 0 0 1 4 】

図 1 3 は、電圧制御発振器 4 0' の構成の一例を示す図であり、このうち図 1 3 (a) は、図 1 1 に示した電圧電流変換回路 4 1 の構成の一例を示す図である。図 1 3 (a) を参照すると、この電流電圧変換回路は、ソースが共通接続されて基準電流を供給する定電流源 I_0 に接続され、正転入力端子 (+) から入力されるループフィルタ (LPF) 3 0' の出力電圧 (V_{in}) と、反転入力端子 (-) に供給されている基準電圧 (V_{ref}) とをゲートにそれぞれ入力とするPチャネルMOSトランジスタPM 4 1、PM 4 2と、を備え、PチャネルMOSトランジスタPM 4 1 のドレインは低電位電源 (GND) に接続され、PチャネルMOSトランジスタPM 4 2 のドレインは、ソースがGND電位に接続され、ドレインとゲートが接続されたNチャネルMOSトランジスタNM 4 1 のドレインに接続されており、ゲートがNチャネルMOSトランジスタNM 4 1 のゲートに共通接続され、ソースがGND電位に接続されたNチャネルMOSトランジスタNM 4 2 のドレインから電流が出力され、NチャネルMOSトランジスタNM 4 1、NM 4 2 は、カレントミラー回路を構成している。正転入力端子 (+) からの入力電圧 (制御電圧) (V_{in}) と基準電圧 (V_{ref}) の差電圧に対応したドレイン電流がPチャネルMOSトランジスタPM 4 2 から出力されてカレントミラー回路の入力端に入力され、ミラー電流が、カレントミラー回路の出力端をなすNチャネルMOSトランジスタNM 4 2 のドレインから、電流制御発振器に対する

制御電流 I_{out} として出力される。

【 0 0 1 5 】

正転入力端子 (+) からの入力電圧 (V_{in}) が基準電圧 (V_{ref}) と等しいときは、PチャネルMOSトランジスタPM42のドレイン電流は定電流 I_0 の $1/2$ となり、出力電流 I_{out} は $I_0/2$ となり、電流制御発振器40' は発振周波数範囲の中心周波数で発振する。

【 0 0 1 6 】

正転入力端子 (+) からの入力電圧 (V_{in}) が基準電圧 (V_{ref}) よりも大のときは、PチャネルMOSトランジスタPM41に流れるドレイン電流が $I_0/2$ よりも小となり、PチャネルMOSトランジスタPM42に流れるドレイン電流が $I_0/2$ よりも大となり、出力電流 I_{out} は $I_0/2$ よりも大となり、電流制御発振器40' は発振周波数はその中心周波数よりも高くなる。

【 0 0 1 7 】

一方、正転入力端子 (+) からの入力電圧 (V_{in}) が基準電圧 (V_{ref}) よりも小のときは、PチャネルMOSトランジスタPM41に流れるドレイン電流が $I_0/2$ よりも大となり、PチャネルMOSトランジスタPM42に流れるドレイン電流は $I_0/2$ よりも小となり、出力電流 I_{out} は $I_0/2$ よりも小となり、電流制御発振器40' は発振周波数はその中心周波数よりも低くなる。

【 0 0 1 8 】

図13 (b) は、電流制御発振器 (IC0) 42の構成の一例を示す図である。図13 (b) を参照すると、電流制御発振器42は、ソースが高電位電源 (V_{DD}) に接続されており、ゲートとドレインとが互いに接続されて、制御電流入力端に接続されているPチャネルMOSトランジスタPM43と、出力端を入力端に帰還入力した奇数段 (図では3段) のインバータ301、302、303よりなるリングオシレータと、リングオシレータの最終段のインバータ303の差動電圧出力を受けて出力信号 (IC0出力) を出力する電圧比較器304と、を備えて構成されている。

【 0 0 1 9 】

図13 (c) は、電流制御発振回路 (IC0) 42のリングオシレータを構成

するインバータの回路構成の一例を示す図である。図 1 3 (c) を参照すると、各インバータは、ソースが電源に接続され、ゲートが G 端子に接続され定電流源として作用する P チャンネル MOS トランジスタ PM 4 4 と、ソースが共通接続されて P チャンネル MOS トランジスタ PM 4 3 のドレインに接続され、ゲートが差動入力端子 I 1、I 2 に接続され、ドレインが負荷抵抗 R 1、R 2 を介して GND 電位に接続されるとともに差動出力端子 O 1、O 2 に接続されてなる P チャンネル MOS トランジスタ PM 4 5、PM 4 6 と、を備えて構成される差動増幅回路よりなる。インバータの G 端子は P チャンネル MOS トランジスタ PM 4 3 のゲートに共通接続される。すなわち、入力制御電流を P チャンネル MOS トランジスタ PM 4 3 で電圧に変換し、該電圧に基づきインバータ 3 0 1～3 0 3 の差動増幅回路の定電流源の電流値を可変させることで、インバータ 1 段あたりの遅延時間を可変させ、発振周波数を可変させ、インバータ 3 0 3 からの差動出力を差動入力する電圧比較器 3 0 4 の出力端から発振出力を出力する。入力制御電流 I_{in} が増大すると、インバータの G 端子の電位が下がり、インバータの差動対の定電流源をなす P チャンネル MOS トランジスタ PM 4 4 に流れる電流が増大し、インバータの反転動作が高速化し、これによりリングオシレータの発振周波数が上がり、一方、入力制御電流 I_{in} が減少すると、インバータの G 端子の電位が上がり、インバータの差動対の定電流源をなす P チャンネル MOS トランジスタ PM 4 4 に流れる電流が減少し、インバータの反転動作が低速となり、これによりリングオシレータの発振周波数が下がることになる。

【0 0 2 0】

なお、電流制御発振器のリングオシレータを構成するインバータ 3 0 1～3 0 3 は、差動回路で構成する代わりに、クロックドインバータ等で構成してもよいことは勿論である。

【0 0 2 1】

次に、記録ディスクからデータを読み出し、読み出しクロックを入力データと位相同期させる PLL 回路の動作の一例について説明する。

【0 0 2 2】

図 1 4 は、PLL 回路の位相比較器 1 0 (図 1 0 参照) に入力される入力デー

たと、分周回路 50（図 10 参照）から出力される出力信号（読み出しクロック）と、位相比較器 10 から出力される UP 信号と DOWN 信号のタイミング動作を示すタイミング波形図である。

【0023】

図 14（a）に示す例では、位相比較器 10 においては、例えば読み出しクロックのサイクル t_0 において、入力データの立ち上がりエッジに同期して UP 信号が Low レベルから High レベルに遷移しており、次のサイクル t_1 の、読み出しクロックの Low レベルから High レベルへの立ち上がりエッジに同期して、UP 信号が Low レベルに遷移し（すなわち UP 信号のパルス幅は読み出しクロックの入力データの変化に対する位相遅れ分に対応するパルス幅とされる）、UP 信号が Low レベルに遷移した後、サイクル t_2 の読み出しクロックの立ち上がりエッジに同期して DOWN 信号が立ち上がり、DOWN 信号は、読み出しクロックの立ち下がりエッジに同期して立ち下がる（DOWN 信号のパルス幅は読み出しクロックのパルス幅分とされる）。そして、読み出しクロックのサイクル t_3 では、入力データの立ち下がりエッジに同期して UP 信号が Low レベルから High レベルに遷移しており、次のサイクル t_4 における、読み出しクロックの Low レベルから High レベルへの立ち上がりエッジに同期して、UP 信号が Low レベルに遷移している。

【0024】

入力データと読み出しデータとの位相が同期すると、UP 信号のパルス幅と DOWN 信号のパルス幅は一致し、読み出しクロックのパルス幅となる。

【0025】

図 14（b）に示す例では、位相比較器 10 においては、読み出しクロックのサイクル t_0 で、入力データの立ち上がりエッジに同期して UP 信号が Low レベルから High レベルに遷移しており、次のサイクル t_1 の読み出しクロックの High レベルから Low レベルへの立ち下がりエッジに同期して UP 信号が Low レベルに遷移しており、DOWN 信号が Low レベルから High レベルに遷移し、次のサイクル t_2 において、読み出しクロックの立ち下がりに同期して、DOWN 信号が Low レベルに立ち下がっている。読み出しクロックのサイ

クルt 3では、入力データの立ち下がリエッジに同期してUP信号がLowレベルからHighレベルに遷移しており、次のサイクルt 4の、読み出しクロックの立ち下がリエッジに同期して、UP信号がLowレベルに立ち下がっており、DOWN信号がLowレベルからHighレベルに遷移し、次のサイクルt 5において、読み出しクロックの立ち下がりに同期して、DOWN信号がLowレベルに立ち下がっている。

【0026】

図14 (b) に示す例では、入力データと読み出しデータとの位相が同期すると、UP信号とDOWN信号のパルス幅が一致し、読み出しクロックの1周期となる。

【0027】

【発明が解決しようとする課題】

しかしながら、上記した従来のPLL回路は、下記記載の問題点を有している。

【0028】

すなわち、チャージポンプにおいては、図12に示すように、UP信号がアクティブ時に、ループフィルタ30'の容量を充電する電流(P)と、DOWN信号がアクティブ時に、ループフィルタ30'の容量に蓄積された電荷を放電する電流(N)の値の比が、第1のカレントミラー回路23の出力端をなすPチャネルMOSトランジスタPM3の入出力特性(能動素子の電流駆動能力を規定するトランスコンダクタンス係数 β や、素子の閾値 V_{TH} 等に関係する)と、第2のカレントミラー回路24の出力端をなすNチャネルMOSトランジスタNM3の入出力特性とによって決定される。

【0029】

その結果、チャージポンプ20'において、UP信号がアクティブ状態のときのUP動作における充電電流と、DOWN信号がアクティブ状態のときのDOWN動作時における放電電流の値を等しくするには、素子構造の異なるPチャネルMOSトランジスタPM3とNチャネルMOSトランジスタNM3(図12参照)とから同一の電流値を出力できるような構成とすることが必要とされている。

そして、導電型が相違するPチャネルMOSトランジスタとNチャネルMOSトランジスタとの間の出力電流は、素子構造の相違から、通常、同一導電型のMOSトランジスタの場合よりも、ばらつきが大きなものとなる。

【 0 0 3 0 】

図 1 2 を参照すると、チャージポンプ 2 0 ' の第 1、第 2 のカレントミラー回路 2 3、2 4 の出力端をなすPチャネルMOSトランジスタPM3とNチャネルMOSトランジスタNM3の出力特性を定める電流駆動能力を同一とするには、PチャネルMOSトランジスタとNチャネルのMOSトランジスタの各トランスコンダクタンスの比 β_P/β_N 、(但し、 β は、 $(W/L)\mu C_{OX}$ で与えられ、 W はチャネル幅、 L はチャネル長、 μ はキャリアの実効表面移動度、 C_{OX} は単位面積あたりのゲート容量で ϵ をゲート絶縁膜の誘電率、 t_{OX} をゲート絶縁膜の膜厚とすると $C_{OX} = \epsilon / t_{OX}$) を、「1」とするなど、PLL回路を含む半導体集積回路の内部回路を構成する他のMOSトランジスタとは、別の設計・構成を用いる必要がある。

【 0 0 3 1 】

そして、チャージポンプ 2 0 ' の第 1、第 2 のカレントミラー回路 2 3、2 4 の出力端をなすPチャネルMOSトランジスタPM3とNチャネルMOSトランジスタNM3の出力電流の電流値が同一となるように設計した場合でも、素子構造の異なるPチャネルMOSトランジスタとNチャネルMOSトランジスタにおいて製造ばらつき等により、出力電流には、ばらつきが生じる。

【 0 0 3 2 】

入力データと読み出しデータとの位相同期した時点で、UP信号のパルス幅とDOWN信号のパルス幅がともに等しい値となる構成のPLL回路において、チャージポンプ 2 0 ' の第 1 のカレントミラー回路 2 3 の出力端をなすPチャネルMOSトランジスタPM3からの出力電流(P)と、第 2 のカレントミラー回路 2 4 の出力端をなすNチャネルMOSトランジスタNM3からの出力電流(N)とが 1 : 1 の場合、すなわち、図 6 の第 1 例に示すように、出力電流(P)と出力電流(N)が $10\mu A$ の場合には、正しく位相同期が行われる。

【 0 0 3 3 】

しかしながら、PLL回路において、チャージポンプ20'のPチャネルMOSトランジスタPM3からの出力電流(P)とNチャネルMOSトランジスタNM3からの出力電流(N)の電流値の比が、1:1でなく、例えば図6の第2例に示すように、1.2:1である場合($P=12\mu A$ 、 $N=10\mu A$)、チャージポンプ20'のUP動作時の充電電流(P)とDOWN動作時の放電電流(N)の電流値の比は、1.2:1となる。

【0034】

その結果、位相比較器10に入力される入力信号と出力信号の位相が一致し、位相比較器10から出力されるUP信号とDOWN信号のパルス幅が等しくなった時点で、電圧制御発振器40'の正転入力端子には、本来の位相同期時点における出力電圧よりも高い電圧が印加されることになり、電圧制御発振器40'は、本来の発振周波数における位相同期点よりも位相が進んだ状態で発振する。これは、UP信号とDOWN信号のパルス幅が等しくなった時点で、放電電流(N)よりも大きな電流値の充電電流(P)でUP信号のアクティブ期間中、ループフィルタ30'の容量が充電され、放電電流(N)によってDOWN信号のアクティブ期間中(UP信号のアクティブ期間と同一の長さの期間)放電されることになり、その結果、充電電流(P)と放電電流(N)の差電流にUP信号のパルス幅分の時間に乗じた分の電荷が容量に蓄積されることになり、この電荷を容量の容量値Cで除した分をオフセット電圧として、容量の端子電圧が上昇するためである。

【0035】

このように、PLL回路において、チャージポンプ20'のUP動作時の充電電流(P)とDOWN動作時の放電電流(N)の電流値の比が、1:1でない場合には、チャージポンプ20'は、位相比較器10で検出された、入力信号と出力信号との位相差に対応した電圧を、電圧制御発振器40'に対して出力することができず、このため、PLL回路は、入力信号と出力信号との位相差が零の状態ですら正しく位相同期させることはできない。

【0036】

そして、PLL回路において、入力データと読み出しクロックとの位相がずれ

た状態（位相差が零でない状態）で、同期（ロック）してしまうと、PLL回路から出力される読み出しクロックを用いて入力データをデコードする回路等において、本来の入力データではない信号を入力データとしてデコードすることになり、このため、正しいデータを読み出すことができず、場合によっては、記録媒体から全くデータの読み出しが行えない等の深刻且つ重大な問題さえ生じる。

【0037】

近時、情報処理装置の記憶媒体として用いられるCD (compact disk) - ROM、DVD (digital versatile disk) 等では、転送レートを上げるため、4倍速、8倍速、16倍速、32倍速といった回転速度での高速読み出しが行われ、この場合、記録ディスクから光ヘッドで読み出され増幅された後、2値化されPLL回路の入力される入力データにはジッタが存在している。そして、入力信号の高速化とともに、入力信号の周期に対する入力信号のジッタの時間幅の占める割合も増大し、上記したように、PLL回路のチャージポンプの出力段のPチャンネルとNチャンネルMOSトランジスタの出力電流特性の相違又はばらつきから、入力データと読み出しクロックとの位相がずれた状態でロックする場合、入力信号のジッタに対する耐性は著しく低下し、ジッタの影響によって、いつまでも入力信号に位相同期できない、という事態も発生する。

【0038】

このように、従来のPLL回路においては、チャージポンプ20'における出力段のPチャンネルMOSトランジスタとNチャンネルMOSトランジスタの出力電流のばらつきを補正するために、PLL回路もしくは再生装置を製造した後に、チャージポンプ20'の充電電流(P)と放電電流(N)の電流値の比が1:1となるように調整することが必要とされている。その結果、PLL回路に補正回路を実装することが必要とされることに加えて、製品製造後に、あらたに調整工程を必要とし、結果として、コストの上昇を招く。

【0039】

したがって本発明は、上記問題点に鑑みてなされたものであって、その目的は、素子の製造ばらつき等の影響を受けることなく、位相比較結果を精度良く電圧に変換するチャージポンプ及びPLL回路並びに該PLL回路を備えたデータ読

み出し装置を提供することにある。これ以外の本発明の目的、特徴、利点等は、以下の説明から、当業者であれば、直ちに明らかとされるであろう。

【 0 0 4 0 】

【課題を解決するための手段】

前記目的を達成する本発明は、位相比較器で検出される位相差をチャージポンプで電圧に変換しループフィルタで平滑化して電圧制御発振器に制御電圧として入力し、前記電圧制御発振器からの出力信号もしくは前記電圧制御発振器の出力を分周器で分周した出力信号を前記位相比較器に帰還入力して入力信号との位相を比較する PLL 回路において、前記電圧制御発振器が、正転入力端子と反転入力端子とを備えており、前記正転入力端子と前記反転入力端子とにそれぞれ印加される端子電圧の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振し、前記チャージポンプが、前記位相比較器からの位相比較結果出力に応じて、前記電圧制御発振器の前記正転入力端子の端子電圧を上げ、前記反転入力端子の端子電圧を下げることで、前記正転入力端子と前記反転入力端子の端子電圧の間の差電圧を拡げるか、あるいは、前記電圧制御発振器の前記正転入力端子の端子電圧を下げ、前記反転入力端子の端子電圧を上げることで、前記正転入力端子と前記反転入力端子の端子電圧の間の差電圧を縮小させるように制御する手段を備えている。

【 0 0 4 1 】

本発明は、正転入力端子と反転入力端子とを備え、前記正転入力端子と前記反転入力端子にそれぞれ印加される端子電圧の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振する電圧制御発振器と、前記電圧制御発振器からの出力信号もしくは前記電圧制御発振器の出力を分周器で分周した出力信号と入力信号との位相を比較し、位相比較結果を出力する位相比較器と、前記電圧制御発振器の前記正転入力端子及び前記反転入力端子に出力端がそれぞれ接続されている第 1 及び第 2 のループフィルタと、前記位相比較器での位相比較の結果出力される第 1 の制御信号を受けて、前記電圧制御発振器の正転入力端子に端子電圧を供給する前記第 1 のループフィルタの容量に対して、第 1 導電型のトランジスタから、第 1 の充電電流 (P 1) を供給するとともに、前記電圧制御発振器の反

転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して、第 2 導電型のトランジスタから第 1 の放電電流 (N 1) を供給する回路と、前記位相比較器での位相比較の結果出力される第 2 の制御信号を受けて、前記電圧制御発振器の反転入力端子に端子電圧を供給する前記第 2 のループフィルタの容量に対して、第 1 導電型のトランジスタから第 2 の充電電流 (P 2) を供給するとともに、前記電圧制御発振器の正転入力端子に端子電圧を供給する前記第 1 のループフィルタの容量に対して、第 2 導電型のトランジスタから第 2 の放電電流 (N 2) を供給し、前記第 1 の充電電流 (P 1) と前記第 1 の放電電流 (N 1) の和電流 (P 1 + N 1) と、前記第 2 の充電電流 (P 2) と前記第 2 の放電電流 (N 2) の和電流 (P 2 + N 2) との比が、前記第 1 導電型のトランジスタと前記第 2 導電型トランジスタとの間の出力特性の相違に依存せずに、1 対 1 に設定可能とされている。

【0 0 4 2】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明の PLL 回路は、その好ましい一実施の形態において、図 1 を参照すると、正転入力端子 (+) と反転入力端子 (-) にそれぞれ印加される端子電圧の差電圧を制御電圧として入力し該制御電圧に応じた周波数で発振する電圧制御発振器 (4 0) と、電圧制御発振器 (4 0) からの出力信号もしくは電圧制御発振器 (4) の出力を分周回路 (5 0) で分周した信号 (OUT) と入力信号 (IN) との位相を比較し、位相比較結果を出力する位相比較器 (1 0) と、電圧制御発振器 (4 0) の正転入力端子 (+) 及び反転入力端子 (-) に出力端がそれぞれ接続されている第 1 及び第 2 のループフィルタ (3 0-1、3 0-2) と、位相比較器 (1 0) から出力される信号のうち、電圧制御発振器 (4 0) の発振周波数を上げるための第 1 の制御信号 (UP 信号) がアクティブ状態のときに、第 1 のループフィルタ (3 0-1) の出力端の端子電圧を与える第 1 の容量 (C A) に対して定電流 (P 1) で充電して、第 1 のループフィルタ (3 0-1) の出力端の端子電圧 (電圧制御発振器 (4 0) の正転入力端子 (+) の端子電圧) を増加させるとともに、第 2 のループフィルタ (3 0-2) の出力端の端子電圧 (電圧制御発振器 (4 0) の反転入力端子 (-) の端子電圧) を減少させる。

一)の端子電圧)を与える第2の容量(CB)の蓄積電荷を定電流(N1)で放電することで、第2のループフィルタ(30-2)の出力端の端子電圧を減少させる第1の回路手段(20-1)と、位相比較器(10)から出力される信号のうち、電圧制御発振器(40)の発振周波数を下げるための第2の制御信号(DOWN信号)がアクティブ状態のときに、第1のループフィルタ(30-1)の出力端の端子電圧を与える第1の容量(CA)の蓄積電荷を定電流(N2)で放電することで、第1のループフィルタ(30-1)の出力端の端子電圧を減少させるとともに、第2のループフィルタ(30-2)の出力端の端子電圧を与える第2の容量(CB)に対して定電流(P2)で充電して、第2のループフィルタ(30-2)の出力端の端子電圧を増加させる第2の回路手段(20-2)と、を有するチャージポンプ(20)と、を備えている。

【0043】

本発明は、その好ましい一実施の形態において、PLL回路のチャージポンプは、図2を参照すると、制御端子が第1の制御信号(UP)に接続されている第1のスイッチ(102)と、高電位電源(VDD)と第1のスイッチ(102)の一端との間に接続された第1の定電流源(101)と、一端が第1のスイッチ(102)の他端に接続され、他端が低電位電源(GND)に接続された第1の容量(105)と、制御端子が第1の制御信号(UP)に接続されている第2のスイッチ(103)と、低電位電源(GND)と第2のスイッチ(103)の一端との間に接続された第2の定電流源(104)と、一端が第2のスイッチ(103)の他端に接続され、他端が低電位電源(GND)に接続された第2の容量(110)と、制御端子が第2の制御信号(DOWN)に接続されている第3のスイッチ(107)と、高電位電源(VDD)と第3のスイッチ(107)の一端との間に接続された第3の定電流源(106)と、制御端子が第2の制御信号(DOWN)に接続されている第4のスイッチ(108)と、低電位電源(GND)と第4のスイッチ(108)の一端との間に接続された第4の定電流源(109)と、を備え、第3のスイッチ(107)の他端は、第2の容量(110)の一端に接続されており、第4のスイッチ(108)の他端は、第1の容量(105)の一端に接続されている。

【0044】

第1の制御信号(UP)がアクティブ状態のとき、第1のスイッチ(102)がオンし、第1の定電流源(101)からの定電流が第1の容量(105)に供給されて充電されるとともに、第2のスイッチ(103)もオンして第2の定電流源(104)からの定電流で第2の容量(110)が放電され、第1の容量(105)の端子電圧と第2の容量(110)の端子電圧との差電圧が広がる(増大する)。

【0045】

一方、第2の制御信号(DOWN)がアクティブ状態のとき、第3のスイッチ(107)がオンし、第3の定電流源(106)からの定電流が第2の容量(110)に供給されて充電されるとともに、第4のスイッチ(108)もオンして第4の定電流源(109)からの定電流で第1の容量(105)が放電され、第1の容量(105)の端子電圧と第2の容量(110)の端子電圧との差電圧が縮減する。チャージポンプ回路は、第1の容量(105)の端子電圧を正転出力とし、第2の容量の端子電圧を反転出力として出力する。

【0046】

本発明の一実施の形態において、PLL回路のチャージポンプの構成の一例として、図4を参照すると、第1導電型の第1及び第2のトランジスタ(PM1、PM2)よりなる第1のカレントミラー回路(23)と、制御端子に第1の制御信号(UP)を入力し第1の制御信号(UP)がアクティブ状態(Highレベル)のときに、第1のカレントミラー回路(23)を活性化させる第1のスイッチ(PM1)と、第1のカレントミラー回路の入力端と低電位電源(GND)間に接続された第1の定電流源(21)と、第1の導電型とは逆導電型である第2導電型の第1及び第2のトランジスタ(NM1、NM2)よりなる第2のカレントミラー回路(24)と、制御端子に第1の制御信号(UP)の反転信号を入力し第1の制御信号(UP)がアクティブ状態のときに第2のカレントミラー回路(24)を活性化させる第2のスイッチ(NM3)と、第2のカレントミラー回路(24)の入力端と高電位電源(VDD)間に接続された第2の定電流源(22)と、第1導電型の第3及び第4のトランジスタ(PM5、PM6)よりなる第3のカ

レントミラー回路（２７）と、制御端子に第２の制御信号（DOWN）を入力し第２の制御信号（DOWN）がアクティブ状態（Highレベル）のときに、第３のカレントミラー回路（２７）を活性化させる第３のスイッチ（PM４）と、第３のカレントミラー回路（２７）の入力端と低電位電源（GND）間に接続された第３の定電流源（２５）と、第２導電型の第３及び第４のトランジスタ（NM５、NM６）よりなる第４のカレントミラー回路（２８）と、制御端子に前記第２の制御信号（DOWN）の反転信号を入力し第２の制御信号（DOWN）がアクティブ状態のときに第４のカレントミラー回路（２８）を活性化させる第４のスイッチ（NM４）と、第４のカレントミラー回路（２８）の入力端と高電位電源（VDD）間に接続された第４の定電流源（２６）と、を備え、第１のカレントミラー回路（２３）の出力端と第４のカレントミラー回路（２８）の出力端が、第１のループフィルタ（３０－１）の入力端に共通接続され、第２のカレントミラー回路（２４）の出力端と第３のカレントミラー回路（２７）の出力端が、第２のループフィルタ（３０－２）の入力端に共通接続されている。

【００４７】

位相比較器（１０）から出力される第１の制御信号（UP）がアクティブ状態にあるとき、第１の定電流源（２５）からの定電流を、第１のカレントミラー回路（２３）で折り返し、電圧制御発振器（４０）の正転入力端子（＋）に端子電圧を供給する第１のループフィルタ（３０－１）の容量に対して、第１のカレントミラー回路（２３）の出力端をなす第１導電型のトランジスタ（PM３）から、第１の充電電流（P１）を供給するとともに、第２の定電流源（２２）からの定電流を、第２のカレントミラー回路（２４）で折り返し、電圧制御発振器（４０）の反転入力端子（－）に端子電圧を供給する第２のループフィルタ（３０－２）の容量に対して、第２のカレントミラー回路（２４）の出力端をなす第２導電型のトランジスタ（NM３）から第１の放電電流（N１）を供給する。

【００４８】

また位相比較器（１０）から出力される第２の制御信号（DOWN）がアクティブ状態にあるとき、第３の定電流源（２５）からの定電流を、第３のカレントミラー回路（２７）で折り返し、電圧制御発振器（４０）の反転入力端子（－）

に端子電圧を供給する第 2 のループフィルタ (3 0 - 2) の容量に対して第 3 のカレントミラー回路 (2 7) の出力端をなす第 1 導電型のトランジスタ (PM 6) から第 2 の充電電流 (P 2) を供給するとともに、第 4 の定電流源 (2 6) からの定電流を、第 4 のカレントミラー回路 (2 8) で折り返し、電圧制御発振器 (4 0) の正転入力端子 (+) に端子電圧を供給する第 1 のループフィルタ (3 0 - 1) の容量に対して第 4 のカレントミラー回路 (2 8) の出力端をなす第 2 導電型のトランジスタ (NM 6) から第 2 の放電電流 (N 2) を供給し、第 1 の充電電流 (P 1) と第 1 の放電電流 (N 1) の和電流 (P 1 + N 1) と、第 2 の充電電流 (P 2) と第 2 の放電電流 (N 2) の和電流 (P 2 + N 2) の比が、素子構造が異なる第 1 導電型のトランジスタと第 2 導電型トランジスタ間の出力特性の相違、及び製造バラツキ等に依存せずに、1 対 1 に設定可能とされている。

【0 0 4 9】

すなわち、チャージポンプ (2 0) から容量に供給される UP 動作時の電流値と DOWN 動作時の電流値の比は、(P 1 + N 1) : (P 2 + N 2) となる。

【0 0 5 0】

その結果、本発明の一実施例の形態においては、第 1、第 2 導電型のトランジスタの出力電流の比 P : N が 1 : 1 でない場合であっても、第 1、第 3 のカレントミラー回路の第 1 導電型のトランジスタの出力電流 (P 1 と P 2) が等しく、第 2、第 4 のカレントミラー回路の第 2 導電型のトランジスタの出力電流 (N 1 と N 2) が等しければ、チャージポンプ (2 0) から容量に供給される電流値の UP 時と DOWN 時の比は、1 : 1 となる。これは、同じ素子構造をもつトランジスタ同士、すなわち、第 1 導電型のトランジスタ同士、第 2 導電型のトランジスタ同士でそれぞれ入出力特性を等しく合わせることで、実現される。

【0 0 5 1】

そして、同じ素子構造をもつトランジスタ同士の入出力特性 (電流駆動能力、閾値電圧等) を 1 : 1 に合わせることは、素子構造の異なる第 1、第 2 導電型のトランジスタの出力特性を等しくする場合よりも、容易である。

【0 0 5 2】

また第 1、第 3 のカレントミラー回路の第 1 導電型のトランジスタの電流駆動

能力（出力電流）と第 2、第 4 のカレントミラー回路の第 2 導電型のトランジスタの電流駆動能力（出力電流）の比が $1 : a$ の場合に、 $(P_1 + N_1) : (P_2 + N_2) = P_1 (1 + a) : P_2 (1 + a)$ となる。この場合、第 1、第 3 のカレントミラー回路の第 1 導電型のトランジスタの出力電流 P_1 、 P_2 が等しければ、チャージポンプから容量に供給される、UP 動作時の電流と DOWN 動作時の電流の電流値の比は、 $1 : 1$ とされ、電流制御発振器の正転入力端子（+）と反転入力端子（-）には、UP 信号のパルス幅と、DOWN 信号のパルス幅に比例した電圧が供給される。

【0053】

一例として、図 6 の第 4 例に示すように、 $P_1 = P_2 = 12 \mu A$ 、 $N_1 = N_2 = 10 \mu A$ のときにも、チャージポンプから容量に供給される、UP 動作時の電流と DOWN 動作時の電流の電流値の比は、

$$\begin{aligned} & (P_1 + N_1) : (P_2 + N_2) \\ & = (12 + 10) : (12 + 10) \\ & = 1 : 1 \end{aligned}$$

となる。このため、PLL 回路の入力信号と出力信号との位相差が零となった時点で、UP 信号、DOWN 信号のパルス幅が一致することになり、問題は生じない。

【0054】

すなわち、本発明の一実施の形態の形態によれば、チャージポンプ（20）において、素子構造が異なる第 1 導電型と第 2 の導電型のトランジスタとの間でそれぞれの出力電流が、製造ばらつき等で相違した場合でも、位相比較器から出力される位相差に正しく対応した電圧を、電圧制御発振器の正転入力端子と反転入力端子の端子間の差電圧として、出力することができる。このため、本発明の一実施の形態においては、チャージポンプにおいて、素子構造が異なる第 1 導電型と第 2 の導電型のトランジスタ間で出力電流が相違した場合にも、位相比較器から出力される位相差に対応した電圧を出力することができないことが原因して、正しく位相同期を行うことが出来ないという、上記した従来技術のような問題は生じない。なお、図 6 の第 3 例に示すように、第 1 導電型と第 2 導電型のトラン

ジスタの出力電流とが一致する構成としてもよいことは勿論である。

【 0 0 5 5 】

本発明の一実施の形態に係る P L L 回路においては、チャージポンプ (2 0) において、電流出力段の第 1 導電型と第 2 の導電型のトランジスタでの出力電流のばらつきを補正するための回路を設ける必要もなく、製造後に調整する工程を設けることを要せずに、位相比較器からの U P 信号と D O W N 信号のパルス幅の差 (この差が入力信号と出力信号との位相差に対応する) に正しく対応した電圧を出力することができ、 P L L 回路の精度、性能を向上するとともに、製造コストの低減を図ることができる。さらに、チャージポンプの電流出力段の素子構造の異なる第 1 の導電型と第 2 の導電型のトランジスタの特性を等しくするように設計することは必要 (制限) とされない。すなわち本発明においては、チャージポンプの電流出力段の同一の導電型のトランジスタ同士の入出力特性 (また温度特性や電源電圧特性等) が同じでありさえすればよく、第 1 の導電型と第 2 の導電型のトランジスタの上記特性が互いに一致していなくても、 P L L 回路の特性の温度依存性や電源電圧依存性を低減することができる。本発明においては、チャージポンプの電流出力段の第 1 の導電型と第 2 の導電型のトランジスタに対して上記特性を合わせるためにトランジスタサイズや製造プロセス等を考慮することを要しなくしており、 P L L 回路の設計期間の短縮を図るとともに、第 1 の導電型と第 2 の導電型のトランジスタとを独立して設計できることから、設計自由度を増すという利点も有している。

【 0 0 5 6 】

さらに、本発明の一実施の形態において、電圧制御発振器 (4 0) は、チャージポンプ (2 0) からの出力を第 1、第 2 のループフィルタ (3 0 - 1、3 0 - 2) からの各出力電圧として、正転入力端子 (+) と反転入力端子 (-) とから差動 (ディファレンシャル・モード) で入力する構成とされており、このため同相 (コモン・モード) 成分の雑音が除去される。すなわち、本発明によれば、チャージポンプの出力電圧 (ループフィルタ出力電圧) を正転入力端子から入力するシングルエンド入力方式の従来の電圧制御発振器 (図 1 2 等参照) と比べて、同相雑音成分を抑え、チャージポンプから電圧制御発振器へ伝達する信号の品質

を向上するという利点も有している。

【 0 0 5 7 】

そして、本発明の一実施の形態において、電圧制御発振器（40）は、図2を参照すると、正転入力端子（+）と反転入力端子（-）にそれぞれ入力され、電圧値が可変される第1、第2の入力電圧の差電圧に対応する電流を出力する電圧電流変換回路（41）と、前記電圧電流変換回路の出力電流を制御電流として入力し前記制御電流に応じた周波数で発振する電流制御発振器（42）と、を備えて構成される。

【 0 0 5 8 】

本発明は、記録ディスクから読み出しクロックを抽出するPLL回路に適用される。この場合、図8を参照すると、入力される制御電流に応じた周波数のクロック信号を生成出力する電流制御発振器（Current Controlled Oscillator；ICO）（42）と、電流制御発振器（42）からのクロック信号を分周する分周器（50）と、入力信号と分周器（50）から出力されるクロック信号（RDCK）とを入力とし、クロック信号の入力信号に対する位相の遅れ、進み具合に応じてアップ信号（UP）及びダウン信号（DOWN）を出力する位相比較器（10）と、位相比較器（10）から出力されるUP及びDOWN信号に基づきコンデンサを充電放電して出力電圧を出力する第1のチャージポンプ（20）と、入力信号と分周器（50）から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを分周器（50）から出力されるクロック信号を用いて計測することにより周波数誤差を検出する周波数比較器（60）と、周波数誤差に応じた誤差電圧を出力する第2のチャージポンプ（70）と、第1のチャージポンプ（20）の出力電圧を入力とする第1の低域通過フィルタ（30）と、第2のチャージポンプの出力電圧を入力とする第2の低域通過フィルタ（80）と、第1の低域通過フィルタの出力電圧を電流に変換する第1の電圧電流変換回路（41a）と、第2の低域通過フィルタの出力電圧を電流に変換する第2の電圧電流変換回路（41b）と、を備え、第1の電圧電流変換回路（41a）から出力される電流と前記第2の電圧電流変換回路（41b）から出力される電流とを加えた和電流が、制御電流として電流制御発振器（42）に入力される。

【 0 0 5 9 】

第 1 の電圧電流変換回路 (4 1 a) は、正転入力端子 (+) と反転入力端子 (-) を備え、正転入力端子と前記反転入力端子の端子電圧の差電圧に応じた電流を出力し、第 1 の低域通過フィルタ (3 0) が、第 1 の電圧電流変換回路 (4 1 a) の正転入力端子 (+) と反転入力端子 (-) とに出力端がそれぞれ接続されている第 1 のループフィルタ (3 0 - 1) と第 2 のループフィルタ (3 0 - 2) で構成されており、第 1 のチャージポンプ (2 0) が、位相比較器 (1 0) から出力される UP 信号がアクティブ状態のときに、第 1 のループフィルタ (3 0 - 1) の出力端の端子電圧を与える第 1 の容量に対して第 1 の定電流源からの定電流で充電して前記第 1 のループフィルタ (3 0 - 1) の出力端の端子電圧を増加させるとともに、第 2 のループフィルタ (3 0 - 2) の出力端の端子電圧を与える第 2 の容量に対して第 2 の定電流源からの定電流で放電して第 2 のループフィルタ (3 0 - 2) の出力端の端子電圧を減少させ、位相比較器 (1 0) から出力される DOWN 信号がアクティブ状態のときに、第 1 のループフィルタ (3 0 - 1) の出力端の端子電圧を与える前記第 1 の容量に対して第 3 の定電流源からの定電流で放電して前記第 1 のループフィルタの出力端の端子電圧を減少させるとともに、第 2 のループフィルタ (3 0 - 2) の出力端の端子電圧を与える前記第 2 の容量に対して第 4 の定電流源からの定電流で充電して第 2 のループフィルタ (3 0 - 2) の出力端の端子電圧を増加させる手段を備えて構成される。この実施の形態に係る PLL 回路は、記録ディスクから信号を再生するデータ読み出し装置において、入力データに同期した読み出しクロック (R D C K) をデコーダ等に出力するものである。

【 0 0 6 0 】

さらに、本発明に係る PLL 回路は、半導体集積回路、クロック同期型半導体記憶装置等において、外部クロックに同期した内部クロックを生成するクロック同期回路にも用いて好適とされる。

【 0 0 6 1 】

【実施例】

本発明の実施例について図面を参照して以下に説明する。図 1 は、本発明の P

LL回路の一実施例の基本構成を説明するための図である。図1を参照すると、本発明の一実施例をなすPLL回路は、位相比較器10、チャージポンプ20、第1及び第2のループフィルタ30-1、30-2、電圧制御発振器40、及び分周回路40でループを構成している。なお、分周回路50を経由せずに（あるいは分周回路50の分周比を1とすることで）、電圧制御発振器40の出力を、直接位相比較器10に帰還入力する構成としてもよい。

【0062】

このうち電圧制御発振器40は、正転入力端子（+）と反転入力端子（-）とを有し、正転入力端子（+）と反転入力端子（-）にそれぞれ印加される端子電圧の差電圧を制御電圧として入力し、該制御電圧に応じた周波数で発振する。

【0063】

第1のループフィルタ30-1と第2のループフィルタ30-2とは、その出力端が、それぞれ、電圧制御発振器40の正転入力端子（+）と反転入力端子（-）とに接続されている。

【0064】

チャージポンプ20は、位相比較器10からのUP信号に応じて、正転入力端子（+）に出力端が接続されている第1のループフィルタ30-1の容量CAを充電し、反転入力端子（-）に出力端が接続されている第2のループフィルタ30-2の容量CBの蓄積電荷を放電することで、正転入力端子（+）と反転入力端子（-）の端子電圧の差電圧が増大し、これを制御電圧として入力する電圧制御発振器40の発振周波数が上昇する。

【0065】

またチャージポンプ20は、位相比較器からのDOWN信号に応じて、正転入力端子（+）に出力端が接続されている第1のループフィルタ30-1の容量CAの蓄積電荷を放電し、反転入力端子（-）に出力端が接続されている第2のループフィルタ30-2の容量CBを充電することで、正転入力端子（+）と反転入力端子（-）の差電圧が縮小し、これを制御電圧として入力する電圧制御発振器40の発振周波数が減少する。

【0066】

チャージポンプ 20 は、位相比較器 10 から UP 信号に応じて、正転入力端子 (+) に接続される第 1 の容量 CA を充電するための定電流 P1 と、反転入力端子 (-) に接続される第 2 の容量 CB (容量値は CA と同一) の蓄積電荷を放電するための定電流 N1 をそれぞれ供給する第 1、第 2 の定電流源 (不図示) を備えた回路 20-1 と、位相比較器 10 から DOWN 信号に応じて、正転入力端子 (+) に接続される第 1 の容量 CA の蓄積電荷を放電するための定電流 N2 と、反転入力端子 (-) に接続される第 2 の容量 CB を充電するための定電流 P2 をそれぞれ供給する第 3、第 4 の定電流源 (不図示) を備えた回路 20-2 とを備え、第 1、第 3 の定電流源を P チャネル MOS トランジスタで構成し、第 2、第 4 の定電流源を N チャネル MOS トランジスタで構成した場合に、第 1 の容量 CA の充電電流 P1 と第 2 の容量 CB の放電電流 N1 の和 ($P1 + N1$)、第 1 の容量 CA の放電電流 N2 と第 2 の容量 CB の充電電流 P2 の和 ($P2 + N2$) は、P1 が P2 と等しく、N1 が N2 と等しい場合、等しくなり、素子構造の違いによる N チャネル MOS トランジスタと P チャネル MOS トランジスタの電流駆動能力のバラツキに影響されず、電流制御発振器の正転入力端子 (+) と反転入力端子 (-) には、UP、DOWN 信号のパルス幅に比例した電圧が供給される。

【0067】

図 2 は、本発明の一実施例のチャージポンプの基本構成を示す図である。図 2 を参照すると、高電位電源 (VDD) に接続されている第 1 の定電流源 101 と、第 1 の定電流源 101 の出力端に一端が接続され、制御端子が位相比較器 10 から出力される UP 信号に接続されている第 1 のスイッチ 102 と、第 1 のスイッチ 102 の他端と電圧制御発振器 40 の正転入力端子 (+) に一端が接続され、他端が低電位電源 (GND) に接続された第 1 の容量 105 と、低電位電源 (GND) に接続されている第 2 の定電流源 102 と、第 2 の定電流源 102 の出力端に一端が接続され、制御端子が位相比較器 10 から出力される UP 信号に接続されている第 2 のスイッチ 103 と、第 2 のスイッチ 103 の他端と電圧制御発振器 40 の反転入力端子 (-) に一端が接続され、他端が低電位電源 (GND) に接続されている第 2 の容量 110 と、高電位電源 (VDD) に接続されてい

る第3の定電流源106と、第3の定電流源106の出力端に一端が接続され、制御端子が位相比較器10から出力されるDOWN信号に接続されている第3のスイッチ107と、を備え、第3のスイッチ107の他端は、第2の容量110の一端に接続され、低電位電源（GND）に接続されている第4の定電流源109と、第2の定電流源109の出力端に一端が接続され、制御端子が位相比較器10から出力されるUP信号に接続されている第4のスイッチ108と、を備え、第4のスイッチ108の他端は、第1の容量105の一端に接続されている。

【0068】

位相比較器10から出力されるUP信号がアクティブ状態のとき、UP信号を制御端子に入力とする第1のスイッチ102がオン（導通）し、第1の定電流源101からの定電流（P1）が第1の容量105に供給されて充電され、第1の容量105の端子電圧が増大し、UP信号を制御端子に入力とする第2のスイッチ103もオンし、第2の定電流源104からの定電流（N1）で第2の容量110が放電され、第2の容量110の端子電圧が減少し、電圧制御発振器40の正転入力端子（+）、反転入力端子（-）間の差電圧が増大し、正転入力端子（+）と反転入力端子（-）の端子間電圧を差動入力とする電圧電流変換器41の出力電流が増大し、電流制御発振器42の発振周波数が増大し、位相比較器10に入力される分周回路50の出力信号（OUT）は、入力信号（IN）の位相に接近するように制御される。

【0069】

位相比較器10から出力されるDOWN信号がアクティブのとき、DOWN信号を制御端子に入力とする第3のスイッチ107がオンし、第3の定電流源106からの定電流（P2）が第2の容量110に供給されて充電され、第2の容量110の端子電圧が増大し、DOWN信号を制御端子に入力とする第4のスイッチ108もオンし、第4の定電流源109からの定電流（N2）で第1の容量105が放電され、第1の容量105の端子電圧が減少し、VCOの正転入力端子（+）、反転入力端子（-）間の差電圧が減少し、正転入力端子（+）と反転入力端子（-）の端子間電圧を差動入力とする電圧電流変換器41の出力電流が減少し、電流制御発振器42の発振周波数が減少し、位相比較器10に入力される

分周回路 5 0 の出力は、入力信号から位相が遅れるように制御される。

【 0 0 7 0 】

図 3 は、図 2 において、UP 信号がアクティブ時と DOWN がアクティブ時の電圧制御発振器 4 0 の正転入力端子 (+) の端子電圧 (第 1 の容量 1 0 5 の端子電圧) と反転入力端子 (-) の端子電圧 (第 2 の容量 1 1 0 の端子電圧) の変化の様子を示す図である。第 1 の容量 1 0 5 と第 2 の容量 1 1 0 の容量値を C とする。

【 0 0 7 1 】

図 3 (a) に示すように、位相比較器 1 0 から出力される UP 信号がアクティブ期間中、電圧制御発振器 4 0 の正転入力端子 (+) の端子電圧は、第 1 の容量 (C) 1 0 5 を電流 (P 1) で UP 信号アクティブ期間 (T_{UP}) 中充電した電荷 ($Q = P 1 \times T_{UP}$) をその容量値 C で除した電圧 $\Delta V_{UP+} = (P 1 \times T_{UP}) / C$ 分上昇し、電圧制御発振器 4 0 の反転入力端子 (-) の端子電圧は、第 2 の容量 (C) 1 0 5 を電流 (N 1) で UP 信号アクティブ期間 (UP) 中放電する電荷量 ($Q = P 1 \times T_{UP}$) をその容量値 C で除した電圧 $\Delta V_{UP-} = (N 1 \times T_{UP}) / C$ 分下降し、電圧制御発振器 4 0 の正転入力端子 (+) と反転入力端子 (-) の端子電圧の差電位 V_0 は、もとの差電位 V_A から、

$$\begin{aligned} \Delta V_1 &= \Delta V_{UP+} + \Delta V_{UP-} \\ &= \{ (P 1 \times T_{UP}) + (N 1 \times T_{UP}) \} / C \end{aligned}$$

だけ拡がり、 $V_A + \Delta V_1$ となる。

【 0 0 7 2 】

そして、図 3 (b) に示すように、DOWN 信号がアクティブ期間中、電圧制御発振器 4 0 の正転入力端子 (+) の端子電圧は、第 1 の容量 1 0 5 を電流 (N 2) で DOWN 信号アクティブ期間 (T_{DOWN}) 中放電する電荷量 ($Q = N 2 \times T_{DOWN}$) をその容量値 C で除した電圧 $\Delta V_{DOWN-} = (N 2 \times T_{DOWN}) / C$ 分下降し、電圧制御発振器 4 0 の反転入力端子 (-) の端子電圧は、第 2 の容量 1 0 5 を電流 (P 2) で DOWN 信号アクティブ期間 (T_{DOWN}) 中充電する電荷 ($Q = P 2 \times T_{DOWN}$) をその容量値 C で除した電圧 $\Delta V_{DOWN+} = (P 2 \times T_{DOWN}) / C$ 分上昇し、電圧制御発振器 4 0 の正転入力端子 (+) と反転入力端子 (-) の端子

電圧の差電位 V_0 は、もとの差電位 V_B から、

$$\begin{aligned}\Delta V_2 &= \Delta V_{\text{DOWN-}} + \Delta V_{\text{DOWN+}} \\ &= \{ (N_2 \times T_{\text{DOWN}}) + (P_2 \times T_{\text{DOWN}}) \} / C\end{aligned}$$

だけ縮減される。

【 0 0 7 3 】

このように、位相比較器 1 0 から出力される UP 信号と DOWN 信号に応じて第 1、第 2 の容量 1 0 5、1 1 0 の端子電圧が変化し、これにより、分周回路 5 0 の出力信号と入力信号との位相同期制御が行われる。

【 0 0 7 4 】

例えば図 1 4 に示したように、位相比較器 1 0 から UP 信号と DOWN 信号が出力される場合、UP 信号が T_{UP} 期間印加され、つづいて DOWN 信号が T_{DOWN} 期間印加されたときの電圧制御発振器 4 0 の正転入力端子 (+) と反転入力端子 (-) の端子電圧の差電位 ΔV は、

$$\begin{aligned}\Delta V &= (V_A + \Delta V_1) - (\Delta V_2) \\ &= V_A + \Delta V_1 - \Delta V_2 \\ &= V_A + \{ (P_1 \times T_{\text{UP}}) + (N_1 \times T_{\text{UP}}) \} / C \\ &\quad - \{ (N_2 \times T_{\text{DOWN}}) + (P_2 \times T_{\text{DOWN}}) \} / C\end{aligned}$$

となる。

【 0 0 7 5 】

位相比較器 1 0 において、入力信号と、分周回路 5 0 からの出力信号との位相が一致していることを検出し、UP 信号と DOWN 信号のパルス幅が等しくなった時点で ($T_{\text{UP}} = T_{\text{DOWN}} = T$)、電圧制御発振器 4 0 の正転入力端子 (+) と反転入力端子 (-) との端子電圧の差電位 ΔV は、

$$\Delta V = V_A + \{ (P_1 - P_2) \times T + (N_1 - N_2) \times T \} / C$$

となる。

【 0 0 7 6 】

ここで、 $P_1 = P_2$ 、 $N_1 = N_2$ の場合には、位相比較器 1 0 からパルス幅の等しい UP 信号と DOWN 信号が出力された時点で、電圧制御発振器 4 0 の正転入力端子 (+) と反転入力端子 (-) の端子電圧の差電位は、位相比較器 1 0 か

らUP信号とDOWN信号が出力される前のもとの差電位 V_A と同じ電圧に維持され、このようにして、ロック状態が保たれることになる。

【0077】

電圧制御発振器40は、正転入力端子(+)に第1のループフィルタ30-1の第1の容量105の端子電圧を入力とし、反転入力端子(-)に第2のループフィルタ30-2の第2の容量110の端子電圧を入力とし、差電圧に対応した電流を出力する電圧電流変換器41と、電圧電流変換器41の出力電流を制御電流として入力し、該制御電流に応じた周波数で発振する電流制御発振器42とを備えて構成される。

【0078】

図4は、本発明の一実施例をなすPLL回路のチャージポンプの回路構成の一例を示す図である。図4を参照すると、チャージポンプ20は、ソースが高電位電源(VDD)に接続されたPチャネルMOSトランジスタPM1、PM2、PM3を備え、PチャネルMOSトランジスタPM2のゲートとドレインとが接続されてPチャネルMOSトランジスタPM3のゲートと共通接続され、PチャネルMOSトランジスタPM1のゲートには位相比較器10からのUP信号が入力され、PチャネルMOSトランジスタPM1のドレインは、PチャネルMOSトランジスタPM2、PM3の共通接続されたゲートに接続されている。

【0079】

また、ソースが低電位電源(GND)に接続されたNチャネルMOSトランジスタNM1、NM2、NM3を備え、NチャネルMOSトランジスタNM2のゲートとドレインとが接続されてNチャネルMOSトランジスタNM3のゲートと共通接続され、NチャネルMOSトランジスタNM1のゲートには位相比較器10からのUP信号をインバータINV1で反転した信号が入力され、NチャネルMOSトランジスタNM1のドレインは、NチャネルMOSトランジスタNM2、NM3の共通接続されたゲートに接続されている。PチャネルMOSトランジスタPM2のドレインは、一端が低電位電源(GND)に接続された第1の定電流源21の出力端に接続され、NチャネルMOSトランジスタNM2のドレインは、一端が電源(VDD)に接続された第2の定電流源22の出力端に接続され

ており、PチャネルMOSトランジスタPM3のドレインとNチャネルMOSトランジスタNM3のドレインは、ループフィルタ30-1、30-1の入力端にそれぞれ入力されている。

【0080】

PチャネルMOSトランジスタPM2、PM3と、NチャネルMOSトランジスタNM2、NM3とは、それぞれ、第1のカレントミラー回路23と第2のカレントミラー回路24を構成している。このうち、第1のカレントミラー回路23は、PチャネルMOSトランジスタPM1がオフのとき（すなわち位相比較器10から出力されるUP信号がHighレベルのとき）、入力端をなすPチャネルMOSトランジスタPM2のドレインに供給される第1の定電流源の電流値を、折り返して、出力端をなすPチャネルMOSトランジスタPM3のドレインから出力し第1のループフィルタ30-1の容量を充電する。

【0081】

第2のカレントミラー回路24は、NチャネルMOSトランジスタNM1がオフのとき（UP信号がHighレベルのとき）、入力端をなすNチャネルMOSトランジスタNM2のドレインに供給される第2の定電流源22の電流値を、折り返して、出力端をなすNチャネルMOSトランジスタNM3のドレインから出力し第2のループフィルタ30-2の容量を放電する。

【0082】

さらに、ソースが高電位電源（VDD）に接続されたPチャネルMOSトランジスタPM4、PM5、PM6を備え、PチャネルMOSトランジスタPM5のゲートとドレインとが接続されてPチャネルMOSトランジスタPM6のゲートと共通接続され、PチャネルMOSトランジスタPM4のゲートには位相比較器10のDOWN信号が入力され、PチャネルMOSトランジスタPM4のドレインは、PチャネルMOSトランジスタPM5、PM6の共通接続されたゲートに接続されている。また、ソースが低電位電源に接続されたNチャネルMOSトランジスタNM4、NM5、NM6を備え、NチャネルMOSトランジスタNM5のゲートとドレインとが接続されてNチャネルMOSトランジスタNM6のゲートと共通接続され、NチャネルMOSトランジスタNM4のゲートには位相比較

器のDOWN信号をインバータINV2で反転した信号が入力され、NチャネルMOSトランジスタNM4のドレインは、NチャネルMOSトランジスタNM5、NM6の共通接続されたゲートに接続されている。

【0083】

PチャネルMOSトランジスタPM4のドレインは、一端が低電位電源（GND）に接続された第3の定電流源25の出力端に、NチャネルMOSトランジスタNM4のドレインは、一端が電源（VDD）に接続された第2の定電流源26の出力端に接続されており、PチャネルMOSトランジスタPM6のドレインとNチャネルMOSトランジスタNM6のドレインは、それぞれ第2、第1のループフィルタ30-2、30-1の入力端にそれぞれ入力されている。

【0084】

PチャネルMOSトランジスタPM5、PM6と、NチャネルMOSトランジスタNM5、NM6とは、それぞれ、第3のカレントミラー回路27と第4のカレントミラー回路28とを構成している。このうち、第3のカレントミラー回路27は、PチャネルMOSトランジスタPM4がオフのとき（位相比較器10から出力されるDOWN信号がHighレベルのとき）、入力端をなすPチャネルMOSトランジスタPM5のドレインに供給される第3の定電流源25の電流値を、折り返して、出力端をなすPチャネルMOSトランジスタPM6のドレインから出力し第2のループフィルタ30-2の容量を充電する。第4のカレントミラー回路28は、NチャネルMOSトランジスタNM4がオフのとき（DOWN信号がHighレベルのとき）、入力端をなすNチャネルMOSトランジスタNM5のドレインに供給される第4の定電流源26の電流値を、折り返して、出力端をなすNチャネルMOSトランジスタNM6のドレインから出力し第1のループフィルタ30-1の容量を放電する。

【0085】

ループフィルタ30-1、30-2は、チャージポンプ20から充放電される、端子電圧が、各ループフィルタの端子電圧を与える容量（コンデンサ）C0をそれぞれ含んでいる。なお、本発明において、ループフィルタの回路構成は、図4に示したものに限定されるものでないことは勿論である。また本発明の一実施

例においては、各ループフィルタ中の容量を、チャージポンプから充放電する構成としているが、これとは別に、チャージポンプ 2 0 で充電及び放電される第 1、第 2 の容量（図 2 の 1 0 5、1 1 0 参照）を備え、第 1、第 2 の容量の端子と電圧制御発振器 4 0 の正転入力端子（+）と反転入力端子（-）との間にそれぞれ所望の低域通過特性（カットオフ周波数）を有する第 1、第 2 のループフィルタを備えた構成としてもよいことは勿論である。

【0 0 8 6】

位相比較器 1 0 から出力される UP 信号のアクティブ期間（High レベル期間）に応答して、第 1 の定電流源 2 1 からの電流を第 1 のカレントミラー回路 2 1 で折り返し、電圧制御発振器 4 0 の正転入力端子（+）に出力端が接続される第 1 のループフィルタ 3 0 - 1 の容量に対して P チャネル MOS トランジスタ P M 3 からの出力電流（P 1）を供給し（充電し）、また第 2 の定電流源 2 2 からの電流を第 2 のカレントミラー回路 2 4 で折り返し、電圧制御発振器 4 0 の反転入力端子（-）に出力端が接続される第 2 のループフィルタ 3 0 - 2 に対して N チャネル MOS トランジスタ N M 3 の出力電流（N 1）で電流を排出する（放電する）。

【0 0 8 7】

また位相比較器 1 0 から出力される DOWN 信号のアクティブ期間（High レベル期間）に応答して、第 3 の定電流源 2 5 からの電流を第 3 のカレントミラー回路 2 7 で折り返し、電圧制御発振器 4 0 の反転入力端子（-）に出力端が接続される第 2 のループフィルタ 3 0 - 1 の容量に対して、P チャネル MOS トランジスタ P M 6 からの出力電流 P 2 を供給し（充電し）、第 4 の定電流源からの電流を第 4 のカレントミラー回路 2 8 で折り返し、位相比較器 1 0 から供給される DOWN 信号に応答して電圧制御発振器 4 0 の正転入力端子（+）に出力端が接続される第 1 のループフィルタ 3 0 - 1 から N チャネル MOS トランジスタ N M 6 の出力電流（N 2）で電流を排出する（放電する）。

【0 0 8 8】

チャージポンプ 2 0 の第 1 のカレントミラー回路 2 3 の P チャネル MOS トランジスタ P M 3 からの出力電流（P 1）で、電圧制御発振器 4 0 の正転入力端子

(+) を端子電圧とする第 1 のループフィルタ 3 0 - 1 の容量に対して電流を供給すると、電圧制御発振器 4 0 の発振周波数は上昇し、UP 動作となる（「UP 動作 A」という）。

【0 0 8 9】

チャージポンプ 2 0 の第 3 のカレントミラー回路 2 7 の P チャネル MOS トランジスタ PM 6 からの出力電流 (P 2) で、電圧制御発振器 4 0 の反転入力端子 (-) を端子電圧とする第 2 のループフィルタ 3 0 - 2 の容量を放電すると、電圧制御発振器 4 0 の反転入力端子 (-) の端子電圧が下がり、電圧制御発振器 4 0 の発振周波数は下がり、DOWN 動作となる（「DOWN 動作 A」という）。

【0 0 9 0】

また、チャージポンプ 2 0 の第 4 のカレントミラー回路 2 4 の N チャネル MOS トランジスタ NM 6 の出力電流 (N 2) で、電圧制御発振器 4 0 の正転入力端子 (+) を端子電圧とする第 1 のループフィルタ 3 0 - 1 の容量を放電すると、電圧制御発振器 4 0 の発振周波数は下がり、DOWN 動作となる（「DOWN 動作 B」という）。

【0 0 9 1】

そして、チャージポンプ 2 0 の第 2 のカレントミラー回路 2 4 の N チャネル MOS トランジスタ NM 3 の出力電流 (N 1) で、電圧制御発振器 4 0 の反転入力端子 (-) を端子電圧とする第 2 のループフィルタ 3 0 - 2 の容量から放電すると、UP 動作となる（「UP 動作 B」という）。

【0 0 9 2】

UP 動作時は、P チャネル MOS トランジスタ PM 3 (UP 動作 A) と N チャネル MOS トランジスタ NM 3 (UP 動作 B) とが作動し、DOWN 動作は P チャネル MOS トランジスタ PM 6 (DOWN 動作 A) と N チャネル MOS トランジスタ NM 3 (DOWN 動作 B) とが作動する。

【0 0 9 3】

ここで、UP 動作 A で流れる P チャネル MOS トランジスタ PM 3 の電流 P 1、UP 動作 B で流れる N チャネル MOS トランジスタ NM 3 の電流 N 1、DOWN 動作 A で流れる P チャネル MOS トランジスタ PM 6 の電流 P 2、DOWN 動作 B で流れる N チャネル MOS トランジスタ NM 3 の電流 N 2、

作Bで流れるNチャネルMOSトランジスタNM6電流N2とについて、(UP動作時の電流) : (DOWN動作時の電流) は、 $(P1 + N2) : (P2 + N2)$ となる。

【0094】

上記したように、従来のPLL回路で用いられているチャージポンプにおいて、UP動作時とDOWN動作時の電流値の比は、1 : 1で設計することが求められていた。これに対して、本発明の一実施例をなすPLL回路では、差動入力 of 電圧制御発振器を備えたことにより、UP動作とDOWN動作の電流比が、 $(P1 + N1) : (P2 + N2)$ で決められる構成としており、このため、たとえP : Nが1 : 1でない場合でも、PチャネルMOSトランジスタPM3とPM6の出力電流(P1とP2)、NチャネルMOSトランジスタNM3とNM6の出力電流(N1とN2)がそれぞれ等しければUPとDOWN動作時の電流比は、1 : 1となり、製造ばらつきに強いPLL回路を実現しており、製造バラツキを補正するための補正回路の実装を不要としており、また製造後の調整作業等を不要している。

【0095】

電圧制御発振器40の出力信号を分周回路50にて分周して読み出しクロックもしくは出力クロックとなり位相比較器において入力クロックと比較することでUP信号およびDOWN信号を生成する。

【0096】

図5は、本発明の一実施例における電圧電流変換回路41の構成の一例を示す図である。図5を参照すると、この電圧電流変換回路は、ソースが共通接続されて基準電流を供給する定電流源 I_0 に接続され、正転入力端子(+)から入力される第1のループフィルタ(LPF)30-1の出力電圧と、反転入力端子(-)から入力される第2のループフィルタ(LPF)30-2の出力電圧とをゲートにそれぞれ入力とするPチャネルMOSトランジスタPM41、PM42と、を備え、PチャネルMOSトランジスタPM41のドレインは低電位電源(GND)に接続され、PチャネルMOSトランジスタPM42のドレインは、ソースが低電位電源(GND)に接続され、ドレインとゲートが接続されたNチャネル

MOSトランジスタNM4 1のドレインに接続されており、ゲートがNチャネルMOSトランジスタNM4 1のゲートに共通接続され、ソースが低電位電源（GND）に接続されたNチャネルMOSトランジスタNM4 2のドレインから電流が出力され、NチャネルMOSトランジスタNM4 1、NM4 2は、カレントミラー回路を構成している。正転入力端子（+）と反転入力端子（-）の差電圧に対応したドレイン電流がPチャネルMOSトランジスタPM4 2から出力されてカレントミラー回路の入力端に入力され、ミラー電流が、カレントミラー回路の出力端をなすNチャネルMOSトランジスタNM4 2のドレインから、電流制御発振器に対する制御電流 I_{out} として出力される。本発明の一実施例において、電流制御発振器は、公知の任意のものが用いられ、例えば図13を参照して説明した構成等のものを用いてもよい。但し、図13に示した電流制御発振器のリングオシレータの段数等の限定されるものでないことは勿論である。また本発明において、電流電圧変換回路は、NチャネルMOSトランジスタで構成してもよいことは勿論である。

【0097】

なお、特開平11-186904号公報には、二つの容量C1、C2の端子電圧を入力する二つの端子を有する電圧制御発振器（VCO）の構成が開示されているが、いずれも正転入力端子の構成であり、正転入力端子と反転入力端子の2つを備えた差動入力構成の電圧制御発振器ではない。すなわち、特開平11-186904号公報に記載されたPLL回路では、チャージポンプの出力電流のUP動作時とDOWN動作時の比は、従来のPLL回路として説明したものと同様、PチャネルMOSトランジスタとNチャネルMOSトランジスタの出力電流の比とされている。

【0098】

本発明のPLL回路は、別の実施例として、CD-ROM、DVD-ROM、DVD-RW（読み出し書き込み型CD）、CD-RW（読み出し書き込み型CD）、CD-R（一回書き込み型CD）など、各種記録媒体を読む出すデータ読み出し装置のPLL回路に用いて好適とされる。

【0099】

デジタル記録方式で情報が記録された記録ディスクからデータを再生する装置において、PLL回路は、再生クロックとなるデータ読み取りクロックを用いて、記録ディスクに記録されたデータの読み取りを行う際に、データとデータ読み取り用クロックとの同期をとるために用いられている。

【0100】

図7は、本発明に係るPLL回路が適用されるデータ読み取り装置（再生装置）の構成の一例を示す図である。図7を参照すると、記録ディスク401からデータを読み取る光学ヘッド402と、光学ヘッド402から読み取られたデータから再生RF信号、フォーカス誤差信号及びトラッキング誤差信号を生成するアンプ（プリアンプ）404と、アンプ404からの再生RF信号の雑音除去及び波形等化を行うフィルタ（等化器）406と、再生RF信号を“1”、“0”に2値化する2値化回路407と、2値化されたデータに同期したクロック（RDCK）（「データ読み出しクロック」あるいは「データクロック」ともいう）を生成するPLL回路408と、データの復調を行うデコーダ（復調回路）409と、再生データのエラー訂正を行うエラー訂正回路410と、全体を制御するCPU411と、記録ディスク401を回転駆動するディスクモータ403と、光ヘッド402及びディスクモータ403を制御するサーボ制御装置405と、を備えている。

【0101】

図8は、図7に示したデータ読み取り装置に用いられるPLL回路408の構成の一例を示す図である。

【0102】

図8を参照すると、本発明の一実施例をなすPLL回路は、入力される制御電流に応じた周波数のクロック信号を生成出力する電流制御発振器（ICO）42と、電流制御発振器42からのクロック信号を分周する分周器50と、入力信号（EFM）と分周器50から出力されるクロック信号（RDCK）とを入力とし、前記クロック信号の前記入力信号に対する位相の遅れ、進み具合に応じてアップ及びダウン信号を出力する位相比較器10と、位相比較器10から出力されるUP及びDOWN信号に基づき容量を充電放電して出力電圧を出力する第1のチャ

ージポンプ 20 と、入力信号と分周器 50 から出力されるクロック信号とを入力とし、前記入力信号の同期パターンを分周器 50 から出力されるクロック信号を用いて計測することにより周波数誤差を検出する周波数比較器 60 と、周波数誤差に応じた誤差電圧を出力する第 2 のチャージポンプ 70 と、第 1 のチャージポンプ 20 の出力電圧を入力とする第 1、第 2 のループフィルタ 30-1、30-2 と、第 2 のチャージポンプ 70 の出力電圧を入力とするループフィルタ 80 と、第 1、第 2 のループフィルタ 30-1、30-2 の出力電圧を正転入力端子（+）と反転入力端子（-）から差動入力し差電圧に対応した電流に変換する第 1 の電圧電流変換回路 41 a と、ループフィルタ 80 の出力電圧を電流に変換する第 2 の電圧電流変換回路 41 b と、を備え、第 1 の電圧電流変換回路 41 a から出力される電流と第 2 の電圧電流変換回路 41 b から出力される電流とを合成器（加算器）90 で加えた和電流が、前記制御電流として、電流制御発振器 42 に入力される。

【0103】

第 1 の電圧電流変換回路（41 a）の正転入力端子（+）と反転入力端子（-）には、第 1 のループフィルタ 30-1 と第 2 のループフィルタ 30-2 の出力端が接続されている。チャージポンプ 20、ループフィルタ 30-1、30-2 の構成は、図 2 又は図 4 を参照して説明したものと同様の構成とされる。

【0104】

すなわち、第 1 のチャージポンプ 20 が、位相比較器 10 から出力される UP 信号がアクティブ状態のときに、第 1 のループフィルタ 30-1 の出力端の端子電圧を与える第 1 の容量（図 2 の 105）に対して第 1 の定電流源からの定電流で充電して第 1 のループフィルタ 30-1 の出力端の端子電圧を増加させるとともに、第 2 のループフィルタ 30-2 の出力端の端子電圧を与える第 2 の容量（図 2 の 110）に対して第 2 の定電流源からの定電流で放電して前記第 2 のループフィルタの出力端の端子電圧を減少させ、位相比較器 10 から出力される DOWN 信号がアクティブ状態のときに、第 1 のループフィルタ 30-1 の出力端の端子電圧を与える第 1 の容量（図 2 の 105）に対して第 3 の定電流源からの定電流で放電して第 1 のループフィルタの出力端の端子電圧を減少させるとともに

、第2のループフィルタ30-2の出力端の端子電圧を与える第2の容量（図2の110参）に対して第4の定電流源からの定電流で充電して第2のループフィルタ30-2の出力端の端子電圧を増加させる。

【0105】

記録ディスクにおいては、記録ディスクに記録されたデータとデータ読み取りクロックとの同期制御を行うため、図9（a）に示すように、1フレーム毎にシンクパターンが（同期パターン）設けられており、CD-ROMではEFM（Eight to Fourteen Modulation；8-14変換変調）信号方式、DVD（Digital Versatile Disk）ではEFMp1us符号が用いられている。

【0106】

EFM信号方式においては、シンクパターンは、図9（b）に示すように、最大反転間隔（11T：Tはチャンネルビット長）が2回連続する信号であり、データ信号は、記録ディスクのビット長とビット間隔によって「11T」以下となっており、データ読み取りクロックによって信号の立ち上がりから次の立ち上がりから立ち下がりから次の立ち下がりまでを計測し、計測値が「22」であった場合、シンクパターンと判断している。

【0107】

一方、EFMp1us信号方式では、図9（c）に示すように、シンクパターンは14Tと4Tとの反転間隔を有する信号とされており、シンクパターン1周期の18Tの間に「1」が9回続き、「0」が9回続く9T+9Tや、「1」が10回続き、その後「0」が8回続く10T+8Tといったデータ信号も含まれている可能性があるため、データ読み取りクロックによって、信号の立ち上がりから次の立ち上がり、または立ち下がりから次の立ち下がりまでを計測し、計測値が「18」であった場合でも、直ちに、シンクパターンと判断することはできない。このため、データ読み取りクロックによって、信号の立ち上がりから立ち下がり、または立ち下がりから立ち上がりまでを計測し、計測値が「14」の場合、データ読み取りクロックによって、その後の信号の立ち上がり又は立ち下がりまでを、さらに計測し、計測結果に基づき、周波数誤差を検出している。データ読み取りクロックによって、EFMp1us信号の立ち上がりから立ち下がり

まで、または立ち下がりから立ち上がりまでを計測し、計測値が「14」以外の場合、その計測値に基づいた互いに異なる幅を有するパルス信号が周波数誤差信号として出力される。一方、計測値が「14」となった場合、データ読み取りクロックによって、その後の信号の立ち上がり又は立ち下がりまでを計測し、この計測結果に基づき、互いに異なる幅を有するパルス信号が周波数誤差信号として出力され、出力された周波数誤差信号は第2のチャージポンプ70で電圧に変換されて、第2の低域通過フィルタ80、第2の電圧電流変換器42b、電流加算器90を介して、制御電流が電流制御発振器42に供給され、所定の周波数の信号が出力される。

【0108】

E F M p l u s 信号の立ち上がりから立ち下がりまで、または立ち下がりから立ち上がりまでを計測し、計測値が「14」となった場合で、その後の信号の立ち上がり又は立ち下がりまでの計測値が「4」の場合、周波数誤差信号はセンター値を出力し、データ読み取りクロックとE F M p l u s 信号との周波数が同期していることになる。

【0109】

そして周波数誤差信号がセンター値を出力し、データ読み取りクロックとE F M p l u s 信号の周波数が同期したのち、第2の電圧電流変換器41bからの出力電流値をオフセット電流として、位相比較器10におけるデータ読み取りクロックとE F M p l u s 信号のエッジの比較により位相誤差の検出が行われ、第1のチャージポンプ20、第1、第2のループフィルタ30-1、30-2、第1の電圧電流変換器41a、電流加算器90、電流制御発振器42b、分周器50のループによって、データ読み取りクロックとE F M p l u s 信号の位相が同期（ロック）するように引き込み動作が行われる。その際、分周器50の分周値は、周波数同期時の値に固定されている。なお、図7、図9、及び周波数比較器等についての詳細は、本願出願人による特許出願である特願平10-18856号（本願出願時未公開）等の記載が参照される。

【0110】

E F M 信号（もしくはE F M p l u s 信号）とデータ読み出し用クロック（R

DCK) を入力とする位相比較器 10 からの位相比較結果出力を第 1 のチャージポンプ 20 で電圧出力し、第 1、第 2 のローパスフィルタ 30-1、30-2 で高調波成分をカットし、第 1、第 2 のローパスフィルタ 30-1、30-2 の差動出力を第 1 の電圧電流変換器 41a で電流に変換した位相同期系の電流と、EFM 信号とデータ読み出し用クロック (RDCK) を入力とする周波数比較器 60 の出力を受ける第 2 のチャージポンプ 70 の出力電圧をローパスフィルタ 80 に入力し、ローパスフィルタ 80 の出力電圧を第 2 の電圧電流変換器 41b で電流に変換した周波数同期系の出力電流とを、電流加算器 90 で加算したものを制御電流として電流制御発振器 42 に入力し、その出力を分周器 50 に入力し分周器 50 の出力をデータ読み出し用クロック (RDCK) として、位相比較器 10、周波数比較器 60 に入力している。

【0111】

動作開始時には、位相比較器 10、第 1 のチャージポンプ 20、第 1、第 2 のローパスフィルタ 30-1、30-2 は、スタンバイ状態とされており、周波数比較器 60、第 2 のチャージポンプ 70、ローパスフィルタ 80、第 2 の電圧電流変換器 41b、電流制御発振器 42、分周器 50 のループで周波数が同期するように動作する周波数同期制御が行なわれる。この際、分周器 50 の分周値は、CPU (図 7 参照) で実行されるソフトウェアによりデータレート (1 倍速、2 倍速等) のクロックスピードに応じた所定値に設定される。

【0112】

周波数が同期した時点で、第 2 の電圧電流変換器 41b の出力電流は一定値に固定されておりオフセット電流を供給し、位相比較器 10、第 1 のチャージポンプ 20、第 1、第 2 のローパスフィルタ 30-1、30-2、第 1 の電圧電流変換器 41a、電流制御発振器 42、分周器 50 のループで位相が同期するように動作する位相同期制御が行なわれる。

【0113】

また本発明の PLL 回路は、半導体集積回路装置、及びクロック同期型半導体記憶装置において、外部クロックを入力バッファから入力し、該外部クロックに位相同期した内部クロックを生成して内部回路に供給するクロック同期回路に用

いても好適とされる。

【0114】

そして、本発明のチャージポンプは、その用途がPLL回路に限定されるものでなく、制御信号に応じて、容量（コンデンサ）の充電及び放電を制御する任意の回路に適用可能である。

【0115】

なお上記実施例では、MOSトランジスタによるPLL回路の構成を例に説明したが、PNP、NPN型のバイポーラトランジスタを用いたPLL回路に対しても同様に適用される。

【0116】

【発明の効果】

以上説明したように、本発明によれば、チャージポンプにおける、UP動作時の電流とDOWN動作時に出力する電流値の相対比の精度を向上し、位相比較結果を正しく電圧に変換することができる、という効果を奏する。

【0117】

その理由は、本発明においては、位相比較器から出力されるアップ信号のアクティブ期間にตอบสนองして、電圧制御発振器の正転入力端子に端子電圧を供給する第1のループフィルタに対して、第1導電型の第1のトランジスタから、第1の充電電流を供給するとともに、電圧制御発振器の反転入力端子に端子電圧を供給する第2のループフィルタに対して、第2導電型の第1のトランジスタから第1の放電電流を供給し、位相比較器から出力されるダウン信号のアクティブ期間にตอบสนองして、第2のループフィルタに対して第1導電型の第2のトランジスタから第2の充電電流を供給するとともに、第1のループフィルタに対して第2導電型の第2のトランジスタから第2の放電電流を供給し、第1の充電電流（P1）と第1の放電電流（N1）の和電流と、第2の充電電流（P2）と第2の放電電流（N2）の和電流との比 $(P1 + N1) : (P2 + N2)$ が、第1、第2導電型のトランジスタ間の出力特性の相違、及び製造バラツキ等に依存せずに、1対1に設定可能とされているためである。

【0118】

そして本発明によれば、素子構造の相違するPチャネルMOSトランジスタとNチャネルMOSトランジスタの出力特性、製造バラツキを補正するための補正回路、調整工程等不要とし、低コスト化を図るとともに、高精度の位相同期を可能としている。

【0119】

本発明によれば、チャージポンプの電流出力段の同一の導電型のトランジスタ同士の温度特性や電源電圧特性が同じであれば、チャージポンプの電流出力段の素子構造の異なる第1の導電型のトランジスタと第2の導電型のトランジスタの特性が互いに一致していなくても、PLL回路の特性の温度依存性や電源電圧依存性を低減することができる。すなわち、本発明によれば、チャージポンプの電流出力段の第1の導電型のトランジスタと第2の導電型のトランジスタに対して上記特性を合わせるためにトランジスタサイズや製造プロセス等を考慮することを要しなくしており、PLL回路の設計期間の短縮を図るとともに、第1の導電型のトランジスタと第2の導電型のトランジスタとを独立して設計できることから、設計自由度を向上している。

【0120】

さらに本発明のPLL回路をデータ読み出し装置に適用することで、ジッタに強く、正確にデータの読み出しを行うことができる。

【図面の簡単な説明】

【図1】

本発明の一実施例の基本構成を示す図である。

【図2】

本発明の一実施例におけるチャージポンプの構成を説明する図である。

【図3】

本発明の一実施例の動作を説明するための図であり、UP動作とDOWN動作時の電圧制御発振器の正転入力端子と反転入力端子の端子電圧の変化の様子を示す図である。

【図4】

本発明の一実施例におけるチャージポンプの回路構成の一例を示す図である。

【図 5】

本発明の一実施例における電圧電流変換回路の構成を示す図である。

【図 6】

本発明を従来の技術と比較して説明するための図である。

【図 7】

本発明の PLL 回路が適用されるデータ読み出し装置の構成を示す図である。

【図 8】

本発明の PLL 回路の別の実施例の構成を示す図である。

【図 9】

(a) は同期パターンを模式的に示す図であり、(b) は EFM 信号の同期パターンについて説明するための図であり、(c) は EFM plus 信号の同期パターンについて説明するための図である。

【図 10】

従来の PLL 回路の構成を示す図である。

【図 11】

従来の PLL 回路のチャージポンプの構成を説明するための図である。

【図 12】

従来の PLL 回路のチャージポンプの構成の一例を示す図である。

【図 13】

従来の PLL 回路の電圧制御発振器構成を示す図であり、(a) は電圧電流変換回路、(b) は電流制御発振器、(c) はリングオシレータを構成するインバータの一例を示す図である。

【図 14】

位相比較器の入力信号と UP 及び DOWN 信号を示すタイミング図である。

【符号の説明】

- 10 位相比較器
- 20、20' チャージポンプ
- 21 第1の定電流源
- 22 第2の定電流源

2 3 第 1 のカレントミラー回路
2 4 第 1 のカレントミラー回路
2 5 第 3 の定電流源
2 6 第 4 の定電流源
2 7 第 3 のカレントミラー回路
2 8 第 4 のカレントミラー回路
3 0 ' ループフィルタ
3 0 - 1 第 1 のループフィルタ
3 0 - 2 第 2 のループフィルタ
4 0、4 0 ' 電圧制御発振器
4 1、4 1 a、4 1 b、電圧電流変換器
4 2 電流制御発振器
6 0 周波数比較器
7 0 チャージポンプ
8 0 ローパスフィルタ
9 0 電流加算器（合成器）
3 0 1 ~ 3 0 3 インバータ
3 0 4 コンパレータ
4 0 1 記録ディスク
4 0 2 光ヘッド
4 0 3 モータ
4 0 4 アンプ
4 0 5 サーボコントローラ
4 0 6 フィルタ
4 0 7 2 値化回路
4 0 8 P L L 回路
4 0 9 デコーダ
4 1 0 誤り訂正回路
4 1 1 C P U

I_0 定電流源

I_N 入力信号

$INV1$ 、 $INV2$ インバータ

$NM1 \sim NM6$ $NM41 \sim NM42$ NチャネルMOSトランジスタ

N 、 $N1$ 、 $N2$ 放電電流

OUT 出力信号

P 、 $P1$ 、 $P2$ 充電電流

$PM1 \sim PM6$ $PM41 \sim PM46$ PチャネルMOSトランジスタ

R 、 $R1$ 、 $R2$ 抵抗

C 、 C_0 、 C_1 容量 (コンデンサ)

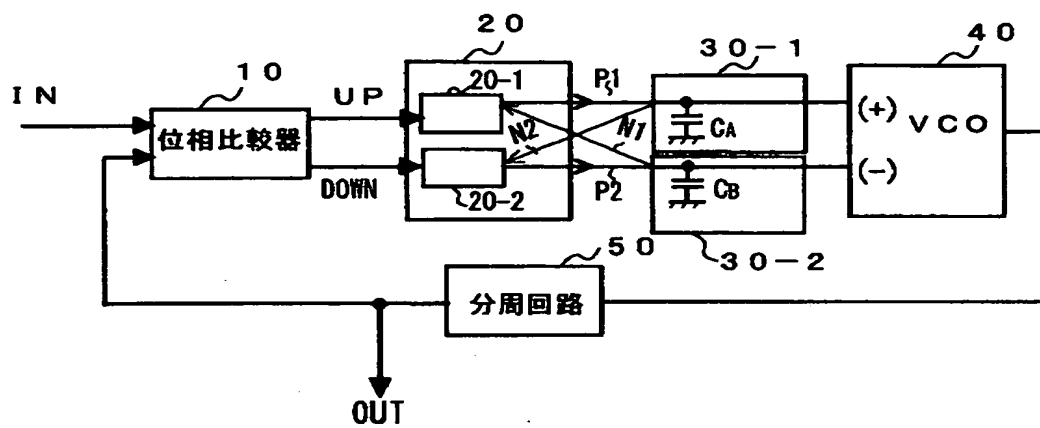
VDD 電源 (高電位電源)

V_{ref} 基準電圧

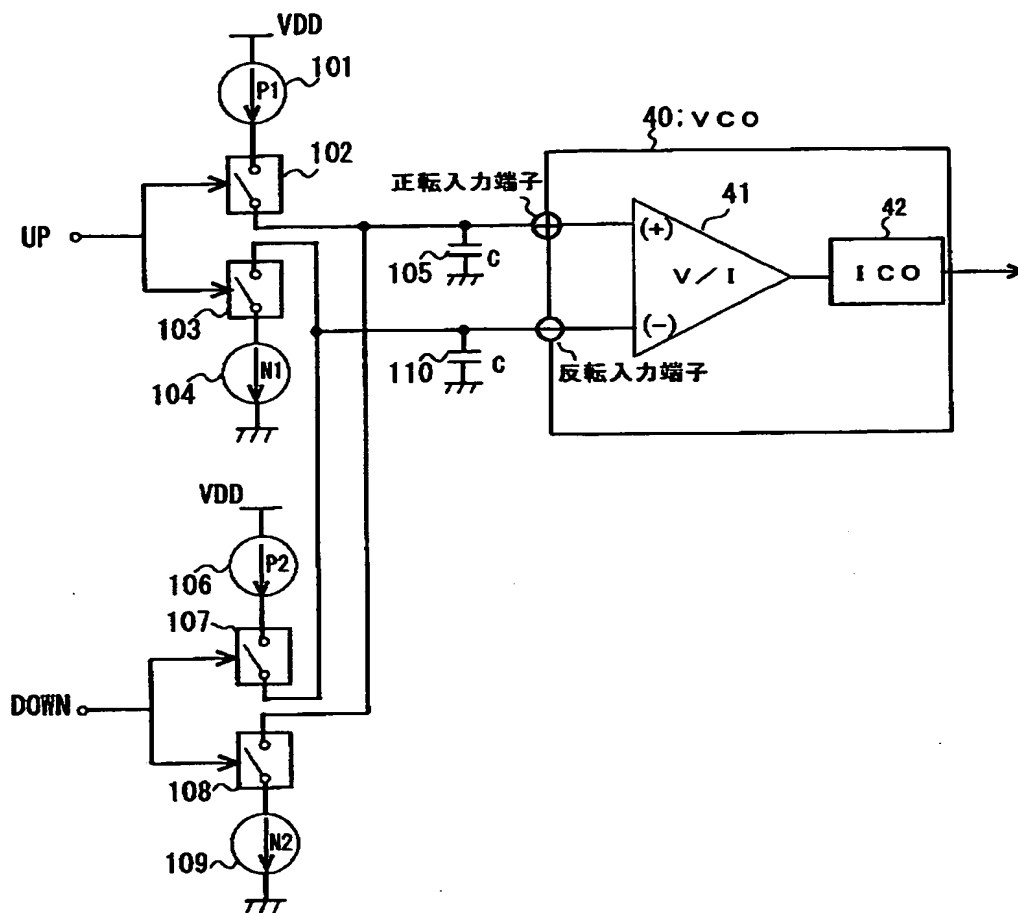
【書類名】

図面

【図 1】

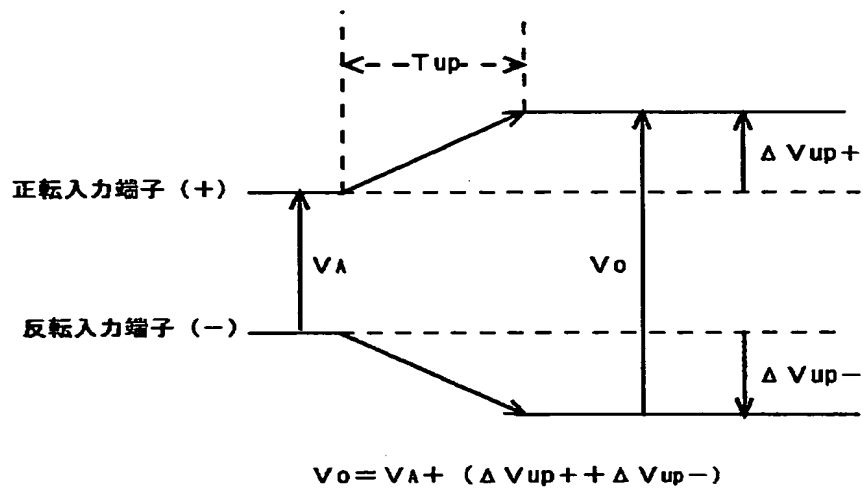


【図 2】

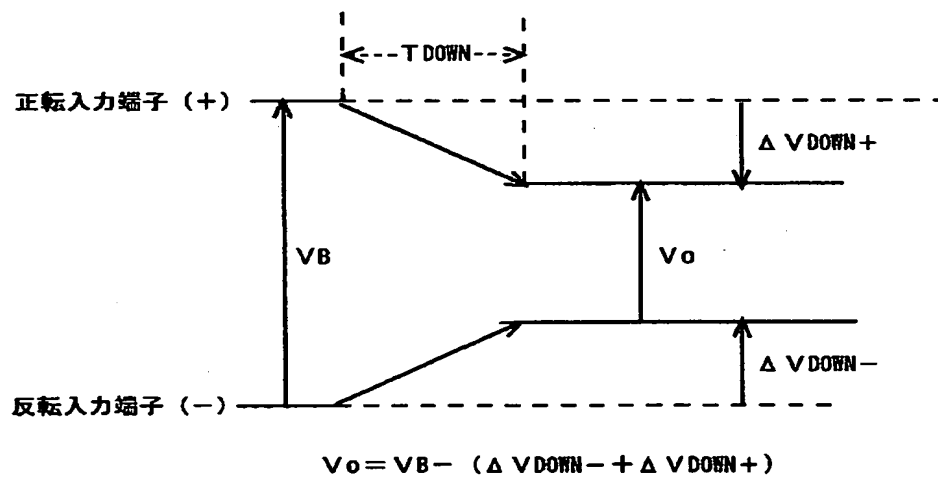


【图 3】

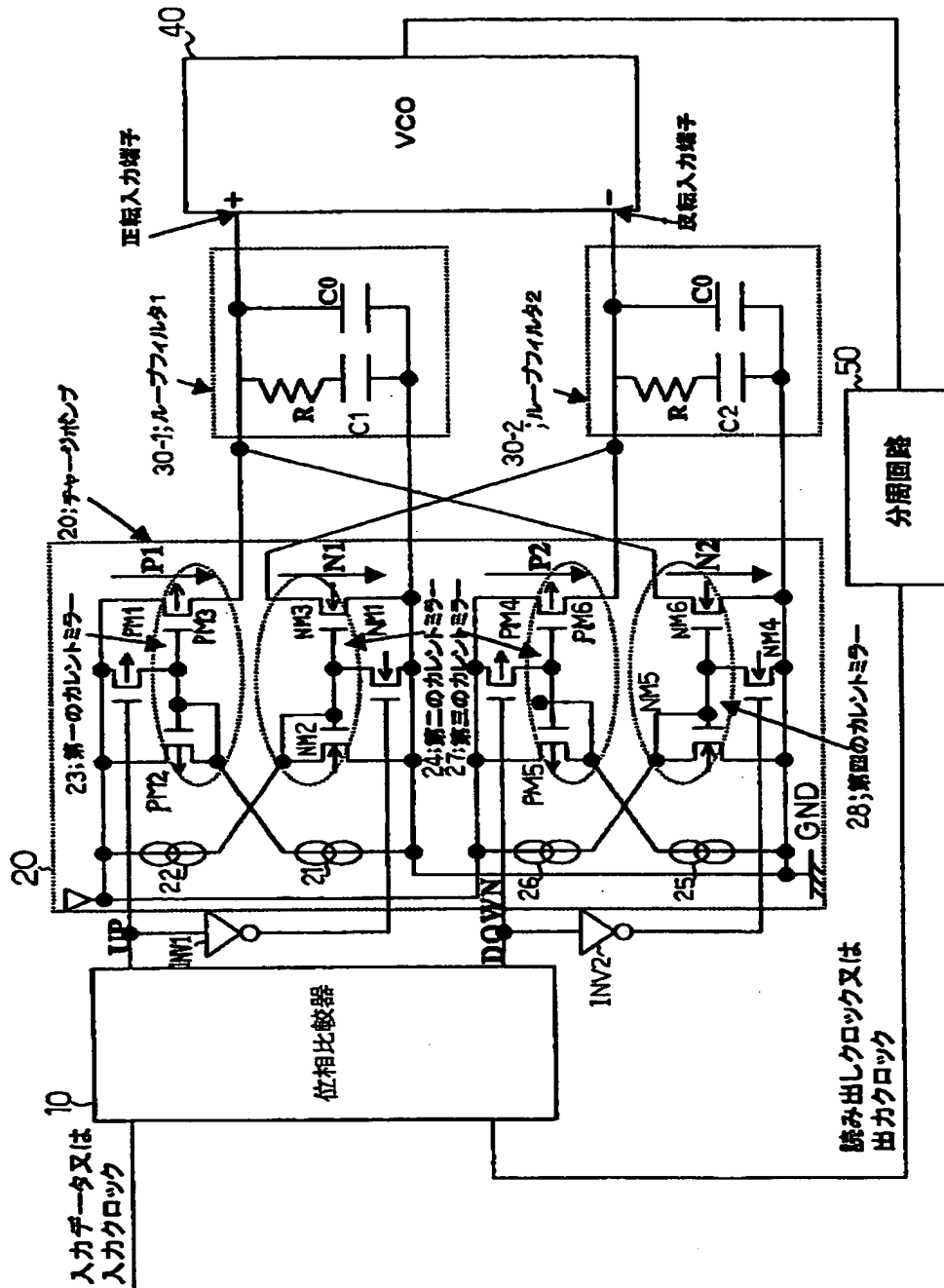
(a)



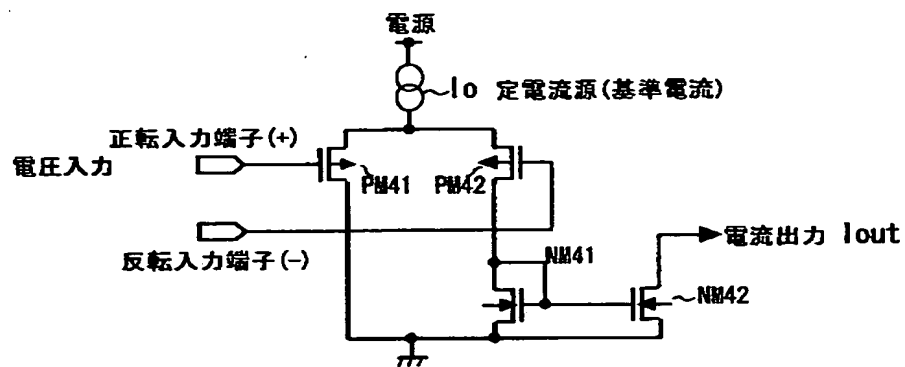
(b)



【図 4】



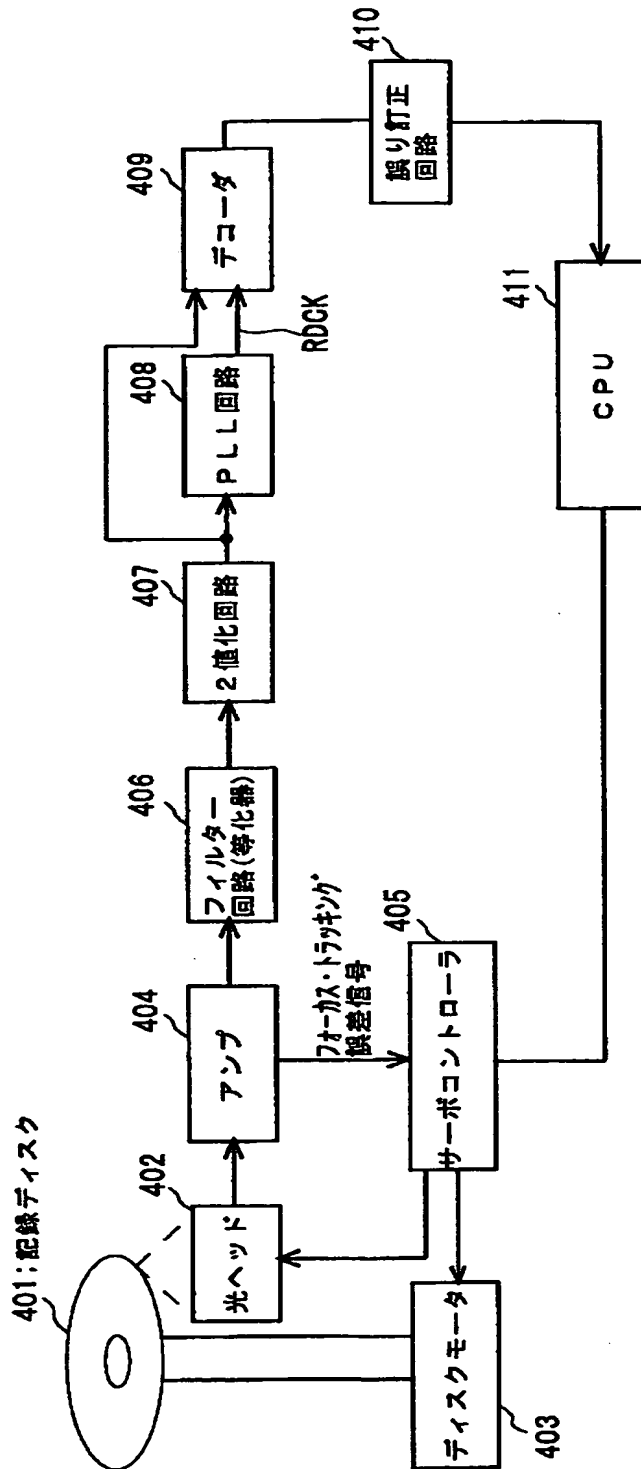
【図 5】



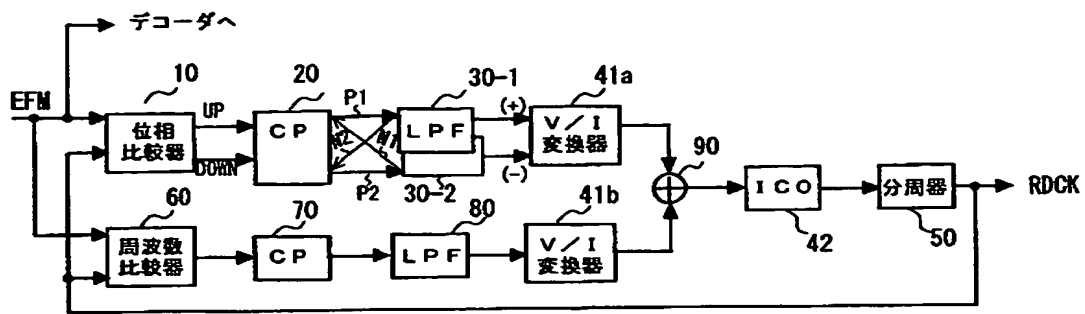
【図 6】

例	具体例	UP:DN	判定
1	従来で $P=10\mu A$, $N=10\mu A$	1:1	問題なし
2	従来で $P=12\mu A$, $N=10\mu A$	1.2:1	問題点
3	発明で $P1=P2=10\mu A$, $N1=N2=10\mu A$	1:1	問題なし
4	発明で $P1=P2=12\mu A$, $N1=N2=10\mu A$	1:1	問題なし

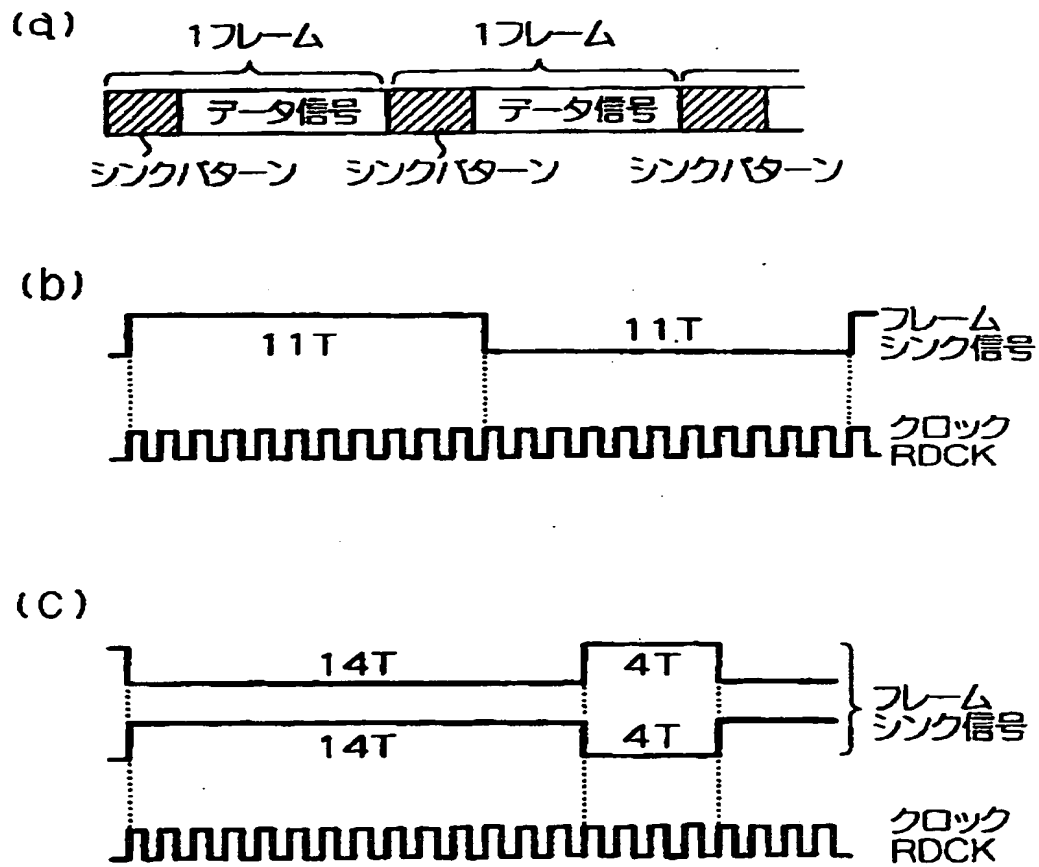
【図 7】



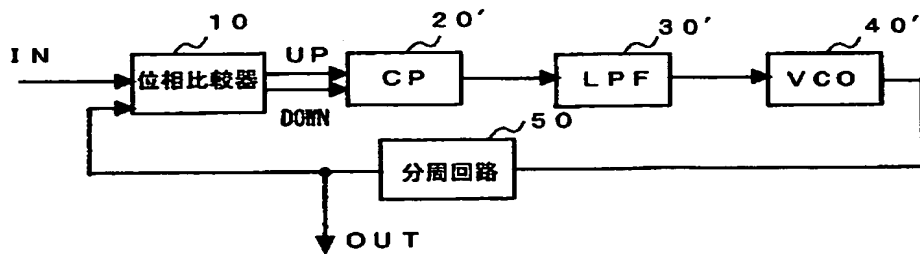
【図 8】



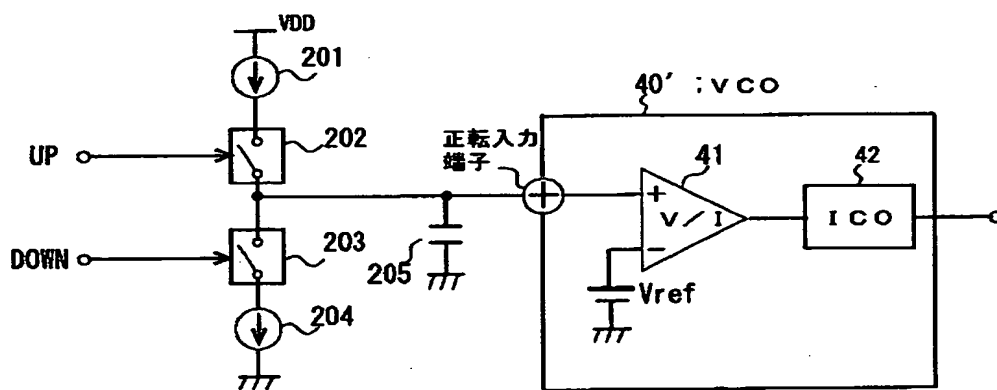
【図 9】



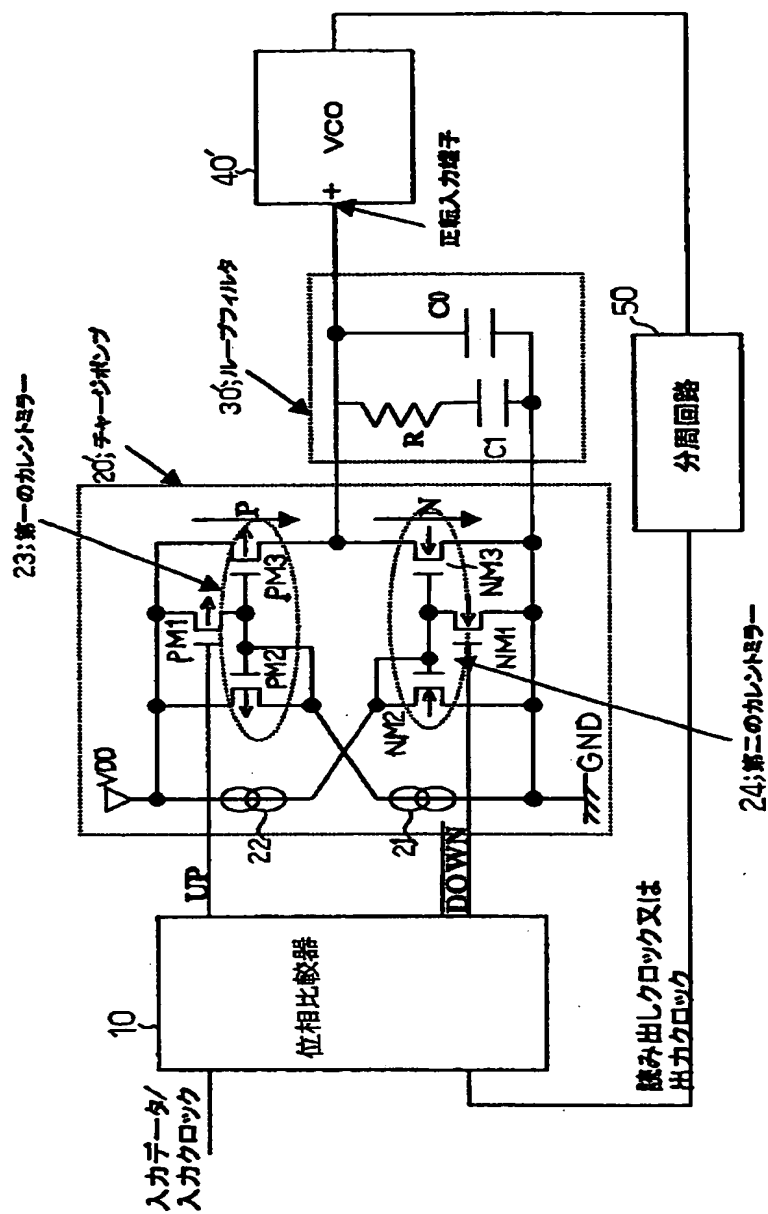
【図 1 0】



【図 1 1】

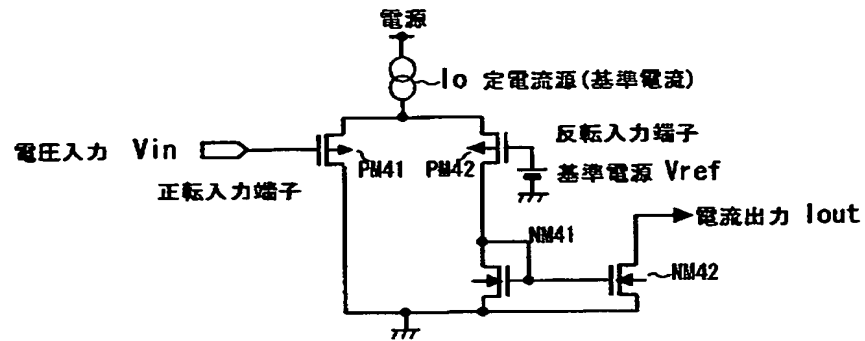


【図 1 2】

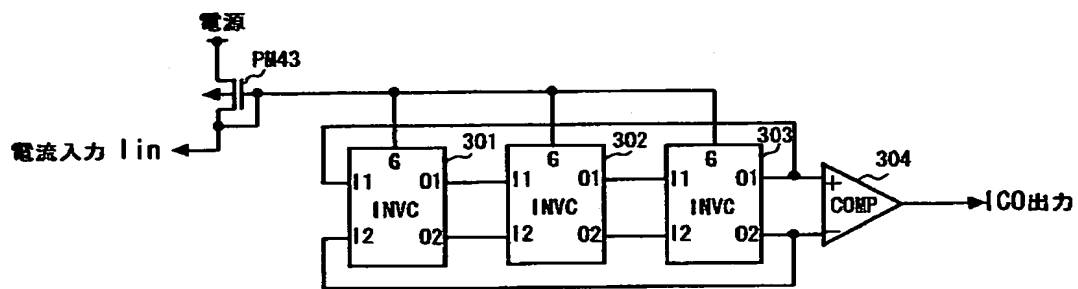


【図 1 3】

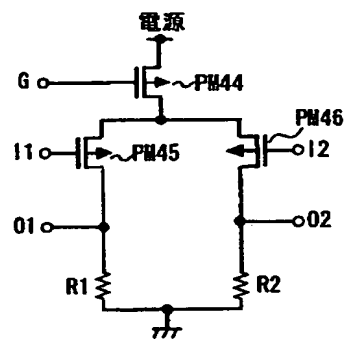
(a)



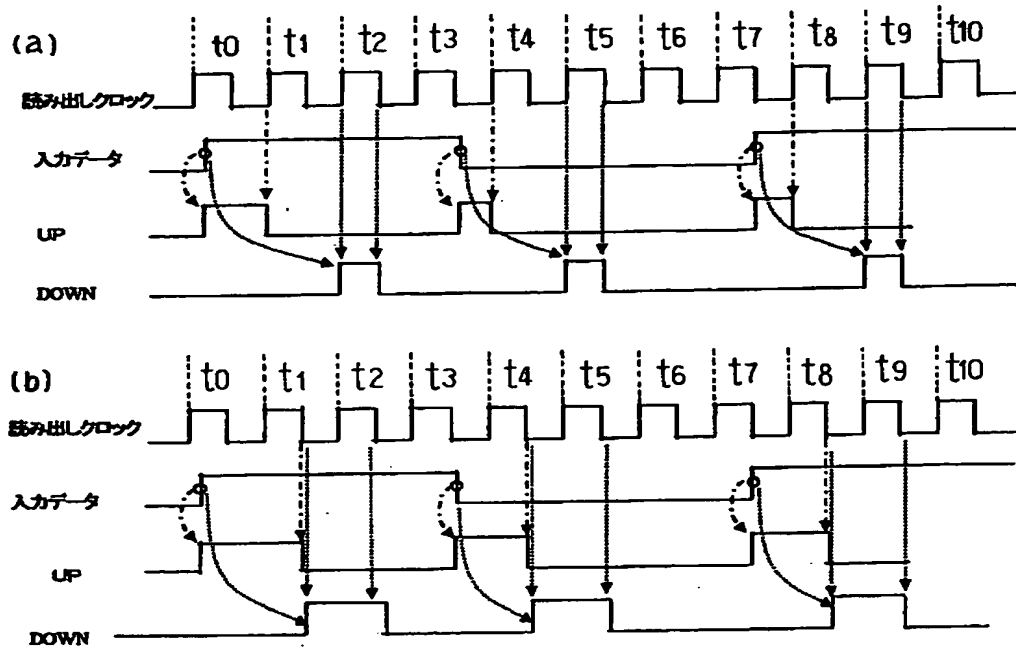
(b)



(c)



【図 1 4】



【書類名】 要約書

【要約】

【課題】

チャージポンプにおける、UP動作時の電流とDOWN動作時の電流値の比の精度を向上するPLL回路の提供。

【解決手段】

正転入力端子と反転入力端子の差電圧を制御電圧として入力し前記制御電圧に応じた周波数で発振する電圧制御発振器（VCO）と、VCOの出力を分周器で分周した出力信号と入力信号との位相を比較し位相比較結果を出力する位相比較器と、VCOの正転入力端子及び反転入力端子に出力端が接続される第1及び第2のループフィルタ（LPF）と、位相比較器から供給されるUP信号を受けて第1のLPFの容量に対してPMOSトランジスタから第1の充電電流を供給し第2のLPFの容量にNMOSトランジスタから第1の放電電流を供給し、DOWN信号を受け、第2のLPFの容量に対してPMOSトランジスタから第2の充電電流を供給し第1のLPFの容量に対してNMOSトランジスタから第2の放電電流を供給する。

【選択図】

図 3

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社